

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-149578  
(P2000-149578A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G 1 1 C 16/02		G 1 1 C 17/00	6 4 1 5 B 0 2 5 6 1 1 E

審査請求 未請求 請求項の数12 O L (全 25 頁)

(21) 出願番号 特願平10-319622  
(22) 出願日 平成10年11月10日 (1998.11.10)

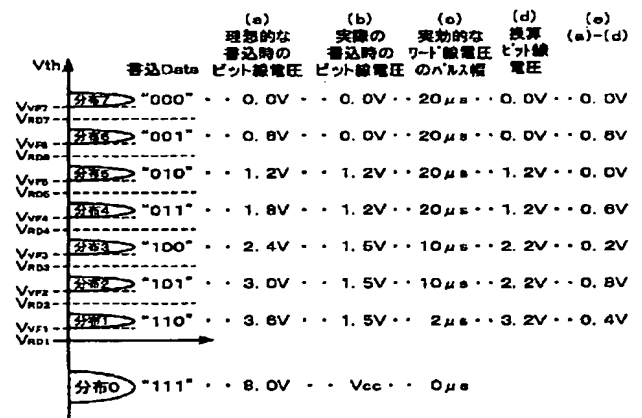
(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(72) 発明者 信方 浩美  
東京都品川区北品川6丁目7番35号 ソニー株式会社内  
(74) 代理人 100082762  
弁理士 杉浦 正知  
Fターム (参考) 5B025 AA01 AC01 AD03 AD04

(54) 【発明の名称】 不揮発性半導体記憶装置およびそのデータ書き込み方法

(57) 【要約】 (修正有)

【課題】 ビット線電圧を書き込みデータに応じて変えて多値並列書き込みを行う場合に、書き込み時間を短縮する。

【解決手段】 書き込みデータに応じてビット線電圧を設定し、多値並列書き込みを行うようにした8値のNAND型多値フラッシュメモリにおいて、ワード線にパルス状のワード線電圧を印加して書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御する。ワード線に印加するワード線電圧のパルス幅は $20\mu\text{s}$ とし、書き込みデータに応じて設定される実効的なワード線電圧のパルス幅は、書き込みデータが「0xx」(x:0または1)の場合、 $20\mu\text{s}$ 、また同様に「10x」ならば $10\mu\text{s}$ 、「110」ならば $2\mu\text{s}$ 、「111」ならば $0\mu\text{s}$ とする。



1

## 【特許請求の範囲】

【請求項1】 ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビット

( $n \geq 2$ )の多値データを並列にかつページ単位でメモリセルに書き込むようにした不揮発性半導体記憶装置であって、

書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにした書き込み制御手段を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 上記不揮発性半導体記憶装置は、上記メモリセルが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線およびソース線に接続されたメモリストリングが並列に配置されていると共に、同一行のメモリセルの制御ゲートが共通のワード線によって接続されたものであり、セルフブーストまたはローカルセルフブーストを用いて上記 $n$ ビット( $n \geq 2$ )の多値データを並列にかつページ単位でメモリセルに書き込むようにしたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 上記書き込み制御手段は、上記書き込み動作時に上記書き込み対象のメモリセルと接続された選択ビット線を上記書き込みデータに応じた電圧に設定するビット線電圧設定手段を備え、上記書き込み動作時に、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを上記書き込みデータに応じて制御することにより、上記実効的なワード線電圧のパルス幅を制御し、この際、上記実効的なワード線電圧のパルス幅を実際にワード線に印加するワード線電圧のパルス幅より短く設定する場合には、上記選択ビット線を上記メモリストリングと上記ビット線との間の上記選択トランジスタをカットオフさせる電圧に設定し、上記ワード線電圧の印加開始と共に上記書き込み対象のメモリセルのチャネルをワード線との容量結合によって非書き込み電位に昇圧させ、所定時間経過後に、上記選択ビット線の設定電圧を上記書き込みデータに応じた電圧に切り換えて、上記書き込み対象のメモリセルのチャネルを上記選択ビット線を介して上記書き込みデータに応じた電圧に放電させることにより、上記書き込み対象のメモリセルに対して実質的なデータの書き込みが開始されるような制御を行うようにしたことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】 上記書き込み制御手段は、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイ

2

ミングを、上記書き込みデータの書き込みレベルが浅い場合ほど遅らせるようにしたことを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】 上記書き込み制御手段は、上記書き込み対象のメモリセルのうち、所定の書き込みレベル以上のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始と同時にデータの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御し、上記所定の書き込みレベル未満のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始から所定時間経過後にデータの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御するようにしたことを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項6】 上記書き込み制御手段は、上記所定の書き込みレベル未満のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始から所定時間経過後に、書き込みレベルの深いデータが書き込まれるメモリセルから順次データの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御するようにしたことを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】 ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量が変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビット

( $n \geq 2$ )の多値データを並列にかつページ単位でメモリセルに書き込むようにした不揮発性半導体記憶装置のデータ書き込み方法であって、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにしたことを特徴とする不揮発性半導体記憶装置のデータ書き込み方法。

【請求項8】 上記不揮発性半導体記憶装置は、上記メモリセルが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線およびソース線に接続されたメモリストリングが並列に配置されていると共に、同一行のメモリセルの制御ゲートが共通のワード線によって接続されたものであり、セルフブーストまたはローカルセルフブーストを用いて上記 $n$ ビット( $n \geq 2$ )の多値データを並列にかつページ単位でメモリセルに書き込むようにしたことを特徴とする請求項7記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項9】 上記書き込み動作時に、上記書き込み対象のメモリセルと接続された選択ビット線を上記書き込みデータに応じた電圧に設定して書き込みを行うと共に

10

20

30

40

50

に、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを上記書き込みデータに応じて制御することにより、上記実効的なワード線電圧のパルス幅を制御し、この際、上記実効的なワード線電圧のパルス幅を実際にワード線に印加するワード線電圧のパルス幅より短く設定する場合には、上記選択ビット線を上記メモリストリングと上記ビット線との間の上記選択トランジスタをカットオフさせる電圧に設定し、上記ワード線電圧の印加開始と共に上記書き込み対象のメモリセルのチャンネルをワード線との容量結合によって非書き込み電位に昇圧させ、所定時間経過後に、上記選択ビット線の設定電圧を上記書き込みデータに応じた電圧に切り換えて、上記書き込み対象のメモリセルのチャンネルを上記選択ビット線を介して上記書き込みデータに応じた電圧に放電させることにより、上記書き込み対象のメモリセルに対して実質的なデータの書き込みが開始されるようにしたことを特徴とする請求項8記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項10】 上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを、上記書き込みデータの書き込みレベルが浅い場合ほど遅らせるようにしたことを特徴とする請求項9記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項11】 上記書き込み対象のメモリセルのうち、所定の書き込みレベル以上のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始と同時にデータの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御し、上記所定の書き込みレベル未満のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始から所定時間経過後にデータの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御するようにしたことを特徴とする請求項9記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項12】 上記所定の書き込みレベル未満のデータが書き込まれるメモリセルに対しては、上記ワード線電圧の印加開始から所定時間経過後に、書き込みレベルの深いデータが書き込まれるメモリセルから順次データの書き込みが開始されるように、上記選択ビット線を上記書き込みデータに応じた電圧に設定するタイミングを制御するようにしたことを特徴とする請求項11記載の不揮発性半導体記憶装置のデータ書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置およびそのデータ書き込み方法に関し、特に、1つのメモリセルに2ビット以上の多値データを記憶する多値型の不揮発性半導体記憶装置およびそのデータ書き込みに適用して好適なものである。

【0002】

【従来の技術】近年、各種記録装置やハードディスク装置に比べて電気的特性に優れたフラッシュメモリが映像・音声機器や携帯用情報機器等における記録媒体として普及しつつある。フラッシュメモリは、電氣的書き換え可能な不揮発性半導体記憶装置であり、大別してそのメモリセルの接続関係および構造からNOR型とNAND型とに分けられる。また、フラッシュメモリ等の不揮発性半導体記憶装置においては、1個のメモリセルに対して「0」、「1」の2つの値をとるデータを記憶する2値型のものが通常であるが、最近では、半導体記憶装置の大容量化の要求に伴い、1個のメモリセルに3値以上（2ビット以上）の多値データを記憶するいわゆる多値型の不揮発性半導体記憶装置が提案されている。

【0003】そのような多値型の不揮発性半導体記憶装置としては、例えば、1個のメモリセルトランジスタに2ビットからなり4値をとるデータを記憶する4値型のNAND型フラッシュメモリや、1個のメモリセルトランジスタに3ビットからなり8値をとるデータを記憶する8値型のNAND型フラッシュメモリなどがある。図8に、8値型のNAND型フラッシュメモリにおけるメモリセルトランジスタのしきい値電圧 $V_{th}$ の分布とデータ内容との対応関係を示す。図8において、グラフの縦軸はメモリセルトランジスタのしきい値電圧 $V_{th}$ を示し、グラフの横軸はメモリセルトランジスタの分布頻度を示す。

【0004】図8に示すように、8値型のNAND型フラッシュメモリにおいて、メモリセルトランジスタのしきい値電圧 $V_{th}$ は、「000」、「001」、「010」、「011」、「100」、「101」、「110」、「111」の各データ内容に対応する8状態（分布7～分布0）をとる。図8中、 $V_{VF1}$ 、 $V_{VF2}$ 、 $V_{VF3}$ 、 $V_{VF4}$ 、 $V_{VF5}$ 、 $V_{VF6}$ 、 $V_{VF7}$ は各状態に対応するペリファイ動作における読み出し時の選択ワード線電圧を表し、 $V_{RD1}$ 、 $V_{RD2}$ 、 $V_{RD3}$ 、 $V_{RD4}$ 、 $V_{RD5}$ 、 $V_{RD6}$ 、 $V_{RD7}$ は各状態に対応する通常読み出し動作における選択ワード線電圧を表す。その大小関係は、 $V_{VF7} > V_{RD7} > V_{VF6} > V_{RD6} > V_{VF5} > V_{RD5} > V_{VF4} > V_{RD4} > V_{VF3} > V_{RD3} > V_{VF2} > V_{RD2} > V_{VF1} > V_{RD1}$ とされ、一例を挙げると、 $V_{VF7} = 3.8V$ 、 $V_{RD7} = 3.6V$ 、 $V_{VF6} = 3.2V$ 、 $V_{RD6} = 3.0V$ 、 $V_{VF5} = 2.6V$ 、 $V_{RD5} = 2.4V$ 、 $V_{VF4} = 2.0V$ 、 $V_{RD4} = 1.8V$ 、 $V_{VF3} = 1.4V$ 、 $V_{RD3} = 1.2V$ 、 $V_{VF2} = 0.8V$ 、 $V_{RD2} = 0.6V$ 、 $V_{VF1} = 0.2V$ 、 $V_{RD1} = 0V$ である。

【0005】ところで、一般に、多値型のNAND型フラッシュメモリにおいては、メモリセルへのデータの書き込み方法として、書き込みデータに応じてビット線電圧を変えて、多値データを一括（並列）に書き込む、いわゆる多値並列書き込みがその書き込み動作の高速化を

5

図る観点から採用される。この8値型のNAND型フラッシュメモリの場合、理想的には、図8(a)に示すように、例えば、書き込みデータが「000」の場合のビット線電圧を0Vに、書き込みデータが「001」の場合のビット線電圧を0.6Vに、書き込みデータが「010」の場合のビット線電圧を1.2Vに、書き込みデータが「011」の場合のビット線電圧を1.8Vに、書き込みデータが「100」の場合のビット線電圧を2.4Vに、書き込みデータが「101」の場合のビット線電圧を3.0Vに、書き込みデータが「110」の場合のビット線電圧を3.6Vに、書き込みデータが「111」の場合のビット線電圧を8.0Vに設定すれば、書き込みレベルの異なる全てのデータの書き込みをほぼ同時に終了させることが可能である。

#### 【0006】

【発明が解決しようとする課題】しかしながら、実際のNAND型フラッシュメモリの書き込み動作においては、省電力化および素子面積の低減を図る観点から、いわゆるセルフブーストまたはローカルセルフブーストという手法が用いられる。

【0007】ここで、図9を参照して、セルフブーストを用いた書き込み方法について説明する。NAND型フラッシュメモリにおけるメモリセルは、フローティングゲート(FG)およびコントロールゲート(CG)を有するMOSトランジスタにより構成されている。そして、このメモリセルトランジスタが所定の複数個直列に接続されたものによりメモリストリングが構成されている。NAND型フラッシュメモリのメモリセルアレイにおいては、メモリストリングが複数個並列に配置され、同一行のメモリセルトランジスタが共通のワード線によって接続されている。図9に示す例では、8個の直列に接続されたメモリセルトランジスタ $M_0 \sim M_7$ によって一つのメモリストリングが構成されている。メモリストリングの一端(メモリセルトランジスタ $M_7$ のドレイン)は選択トランジスタDSを介してビット線BLと接続され、メモリストリングの他端(メモリセルトランジスタ $M_0$ のソース)は選択トランジスタSSを介してソース線SLと接続されている。そして、メモリセルトランジスタ $M_0 \sim M_7$ のコントロールゲートがそれぞれワード線WL0~WL7と接続され、選択トランジスタDSのゲートがドレイン側選択ゲート線DSGと接続され、選択トランジスタSSのゲートがソース側選択ゲート線SSGと接続されている。

【0008】セルフブーストを用いた書き込み方法においては、ドレイン側選択ゲート線DSGの電圧が $V_{cc}$ レベルに設定されると共に、ソース側選択ゲート線SSGの電圧がGNDレベルに設定される。そして、アドレスデコード信号によって書き込み対象とされるメモリストリングが選択されると、選択されたメモリストリングと接続されたビット線が書き込みデータに応じた電圧VBL

6

に設定されると共に、非選択のメモリストリングと接続されたビット線がプリチャージレベルのままフローティング状態にされる。この後、書き込み対象ページとされた選択ワード線(図9に示す例ではワード線WL4)が所定の書き込み電圧VPGMに設定されると共に、それ以外の非選択ワード線が書き込みパス電圧 $V_{pass}$ ( $< V_{PGM}$ )に設定され、書き込み対象のメモリセルトランジスタにデータの書き込みがなされる。

【0009】このとき、書き込みデータが消去状態と同じ(書き込みデータが「111」)のメモリセルトランジスタのチャネルおよび非選択側のメモリストリングのメモリセルトランジスタのチャネルは、そのメモリストリングのドレイン側の選択トランジスタDSによって対応するビット線BLから切り離され、ワード線(主に非選択ワード線)との容量結合により非書き込み電位にブーストされる。

【0010】しかしながら、セルフブーストまたはローカルセルフブーストを用いた書き込み方法では、上述したように、ドレイン側選択ゲート線DSGが $V_{cc}$ レベルに設定されるため、ビット線BLを介してメモリストリングのメモリセルトランジスタのチャネルに供給できる電圧は、メモリストリングのドレイン側の選択トランジスタDSによって $V_{cc} - V_{thDSG}$ ( $V_{thDSG}$ は選択トランジスタDSのしきい値電圧)に制限される。したがって、書き込み時にビット線BLに印加できる電圧の上限は、 $V_{cc} - V_{thDSG}$ からマージンを見た電圧、例えば1.5Vとなる。

【0011】また、多値型のNAND型フラッシュメモリにおいては、書き込み速度の点からは、書き込みデータに応じて設定されるビット線電圧が書き込みデータと1対1に対応していることが望ましい。しかしながら、8値型のNAND型フラッシュメモリにおいては、8値のラッチ回路をビット線数本分のピッチに収める必要があるため、現実的には、書き込みデータが「00x」

(x:0または1)の場合のビット線電圧を0V、書き込みデータが「01x」(x:0または1)の場合のビット線電圧をVB1、書き込みデータが「10x」

(x:0または1)の場合のビット線電圧をVB2、書き込みデータが「110」の場合の電圧をVB3、書き込みデータが「111」の場合のビット線電圧を $V_{cc}$ (ただし、VB1、VB2、VB3は0Vより大きく $V_{cc}$ より小さい電圧)といった具合に、複数のデータに対して1つのビット線電圧を設定することが行われている。

【0012】したがって、これまで、8値型のNAND型フラッシュメモリにおける実際の書き込み時には、例えば図8(b)に示すように、書き込みデータが「00x」(x:0または1)の場合のビット線電圧が0Vに、書き込みデータが「01x」(x:0または1)の場合のビット線電圧が1.2Vに、書き込みデータが

10

20

30

40

50

「10x」(x:0または1)の場合のビット線電圧が1.5Vに、書き込みデータが「110」の場合のビット線電圧が1.5Vに、書き込みデータが「111」の場合のビット線電圧がV<sub>cc</sub>に設定され、これによって多値並列書き込みが行われている。

【0013】以下に、図面を参照して、多値並列書き込みを行うようにした8値型のNAND型フラッシュメモリの構成およびその書き込み動作について説明する。

【0014】図10は、先に本願出願人により提案されている8値型のNAND型フラッシュメモリの主要部を示す。図10において、符号101はメモリセルアレイを示し、符号102はビット線電圧発生回路を示す。

【0015】図10に示すように、メモリセルアレイ101は、例えば、フローティングゲート(FG)およびコントロールゲート(CG)を有し、それぞれが3ビットのメモリセルとして機能するMOSトランジスタ(メモリセルトランジスタ)がマトリクス状に配置されたものであり、同一行のメモリセルトランジスタのコントロールゲートが共通のワード線WL0~WL15に接続されたメモリストリングA0~A<sub>n</sub>により構成されている。なお、図10においては、メモリストリングA2以降が図示省略されている。

【0016】メモリストリングは、メモリセルトランジスタが直列に複数個接続されたものである。メモリストリングA0は、メモリセルトランジスタM0-0~M15-0により構成されている。メモリセルトランジスタM15-0のドレインが選択トランジスタDS0のソースと接続され、選択トランジスタDS0のドレインがビット線BL0と接続されている。一方、メモリセルトランジスタM0-0のソースが選択トランジスタSS0のドレインと接続され、選択トランジスタSS0のソースがソース線SLと接続されている。また、メモリセルトランジスタM0-0~M15-0のコントロールゲートが、それぞれワード線WL0~WL15と接続されている。同様に、メモリストリングA1は、メモリセルトランジスタM0-1~M15-1により構成されている。メモリセルトランジスタM15-1のドレインが選択トランジスタDS1のソースと接続され、選択トランジスタDS1のドレインがビット線BL1と接続されている。一方、メモリセルトランジスタM0-1のソースが選択トランジスタSS1のドレインと接続され、選択トランジスタSS1のソースがソース線SLと接続されている。また、メモリセルトランジスタM0-1~M15-1のコントロールゲートが、それぞれワード線WL0~WL15と接続されている。このようにメモリストリングA0、A1と各線とが接続され、他のメモリストリングA2~A<sub>n</sub>に関しても同様の接続関係とされている。したがって、メモリストリングA0~A<sub>n</sub>の一端は、選択トランジスタDS0~DS<sub>n</sub>を介してビット線BL0~BL<sub>n</sub>と接続され、メモリストリングA0~A<sub>n</sub>の他端は、選択トランジスタSS0~SS<sub>n</sub>

を介してソース線SLと接続されている。そして、選択トランジスタDS0~DS<sub>n</sub>のゲートが共通のドレイン側選択ゲート線DSGと接続され、選択トランジスタSS0~SS<sub>n</sub>のゲートが共通のソース側選択ゲート線SSGと接続されている。メモリセルアレイ101においては、上述のようなメモリストリングA0~A<sub>n</sub>が並列に配置されている。

【0017】ビット線BL0およびBL1に対応して設けられているビット線電圧発生回路102は、nチャネルMOSトランジスタからなるトランジスタN101~N111、インバータの入出力同士を結合してなるラッチ回路LQ2、LQ1、LQ0およびpチャネルMOSトランジスタからなるトランジスタP101により構成されている。また、ビット線電圧発生回路102からは、所定の定電圧源と接続されたビット線電圧供給ラインVBL1、VBL2、VBL3が導出されている。このNAND型フラッシュメモリにおいては、ラッチ回路LQ2~LQ0を含む1つのビット線電圧発生回路102に対して2本のビット線が選択的に接続される構成(ビット線shared)を採っている。なお、ビット線BL2以降に対応するビット線電圧発生回路も同様の構成とされており、これらの部分に関する説明は、説明を簡単とするため省略する。

【0018】ビット線電圧発生回路102により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、そのビット線電圧がビット線BL0、BL1を通じてメモリセルアレイ101のメモリセルトランジスタのチャンネルに与えられる。

【0019】ビット線BL0とノードSAとの間には、高耐圧のnチャネルMOSトランジスタからなるトランジスタHN101およびHN103が直列に接続されている。また、ビット線BL1とノードSAとの間には、高耐圧のnチャネルMOSトランジスタからなるトランジスタHN102およびHN104が直列に接続されている。トランジスタHN101、HN102のゲートに共通の制御信号TRNが供給される。トランジスタHN103のゲートにアドレスデコード信号A<sub>i</sub>Bが供給され、トランジスタHN104のゲートにアドレスデコード信号A<sub>i</sub>Nが供給される。

【0020】ビット線電圧発生回路102においては、ノードSAと電源電圧V<sub>cc</sub>(V<sub>cc</sub>は例えば3.3V)の供給ラインとの間にトランジスタP101が接続されている。トランジスタP101のゲートには制御信号V<sub>ref</sub>が供給される。また、ノードSAと接地ラインとの間にトランジスタN101が接続されている。トランジスタN101のゲートには制御信号DISが供給される。

【0021】また、ビット線電圧発生回路102においては、トランジスタN102のドレインがノードSAと接続されている。トランジスタN102のソースがトランジスタN103、N105、N107、N109のド

9

ラインと接続されている。トランジスタN102のゲートには制御信号PGMが供給される。

【0022】トランジスタN102のソースと接地ラインとの間にトランジスタN103, N104が直列に接続されている。トランジスタN102のソースとビット線電圧供給ラインVBL1との間にトランジスタN105, N106が直列に接続されている。トランジスタN102のソースとビット線電圧供給ラインVBL2との間にトランジスタN107, N108が直列に接続されている。トランジスタN102のソースとビット線電圧供給ラインVBL3との間にトランジスタN109, N110, N111が直列に接続されている。

【0023】ラッチ回路LQ2, LQ1, LQ0はそれぞれ記憶ノードQ2, Q1, Q0と、その反転記憶ノード/Q2, /Q1, /Q0とを有している。なお、/は反転を示すバーを意味している。

【0024】ラッチ回路LQ2の反転記憶ノード/Q2はトランジスタN104, N106のゲートと接続され、記憶ノードQ2はトランジスタN107, N109のゲートと接続されている。ラッチ回路LQ1の反転記憶ノード/Q1はトランジスタN103, N108のゲートと接続され、記憶ノードQ1はトランジスタN105, N110のゲートと接続されている。ラッチ回路LQ0の反転記憶ノード/Q0はトランジスタN111のゲートと接続されている。

【0025】次に、この8値型のNAND型フラッシュメモリの書き込み動作について、図11のタイミングチャートを参照して説明する。

【0026】書き込み動作の前には、制御信号PGMがローレベル（GNDレベル）に設定されてトランジスタN102がオフされ、ビット線BL0, BL1と書き込み制御回路102とが切り離されている。そして、制御信号DISがハイレベル（Vccレベル）に、制御信号TRNおよびアドレスデコード信号AiB, AiNが（ $V_{cc}-V_{th}$ ）レベルに設定されている。このときトランジスタHN101, HN102, HN103, HN104およびトランジスタN101がオンしていることにより、全ビット線は接地されている。また、ビット線電圧供給ラインVBL1は電圧VB1に、ビット線電圧供給ラインVBL2は電圧VB2に、ビット線電圧供給ラインVBL3は電圧VB3に設定されている。これらの電圧VB1, VB2, VB3は0Vより大きくVccより小さい電圧であり、一例をあげると、電圧VB1=1.2V、電圧VB2=1.5V、電圧VB3=1.5Vである。

【0027】この状態で書き込みが起動された場合には、書き込みデータがデータバスを介してビット線電圧発生回路102のラッチ回路LQ2, LQ1, LQ0に供給され、そして、その書き込みデータがラッチ回路LQ2, LQ1, LQ0に取り込まれて保持される。その

10

後、制御信号DISがローレベルに切り換えられ、ビット線BL0, BL1が接地ラインと切り離される。そして、制御信号TRNおよびアドレスデコード信号AiB, AiNがVcc以上の所定のハイレベル、例えばP5V（読み出し時のバス電圧で5～6V程度の電圧）レベルに設定されると共に、制御信号Vrefがローレベル（GNDレベル）に設定される。これにより、全ビット線がVccに充電される。また、メモリセルアレイ101のドレイン側選択ゲート線DSGがVccレベルに、ソース側選択ゲート線SSGがGNDレベルに設定される。メモリストリングA0のメモリセルトランジスタのチャネルCH0およびメモリストリングA1のメモリセルトランジスタのチャネルCH1は、（ $V_{cc}-V_{thDSG}$ ）に充電される。VthDSGは選択トランジスタDS0, DS1のしきい値電圧である。

【0028】その後、アドレスデコード信号AiB, AiNで書き込み対象とされるメモリストリングが選択される。ここでは、例えば、メモリストリングA0が書き込み対象として選択されている場合について説明する。この場合、制御信号Vrefがビット線BL0などのリーク電流を補償するだけの電流をトランジスタP101が流すことが可能な所定レベルの電圧（例えば2V）に設定される。また、アドレスデコード信号AiNがローレベル（GNDレベル）に設定され、トランジスタHN104がオフ状態に切り換えられ、非選択側のビット線BL1がVccに充電された状態でフローティング状態に保持され、メモリストリングA1のメモリセルトランジスタのチャネルCH1が（ $V_{cc}-V_{thDSG}$ ）に保持される。

【0029】そして、一定時間経過後、制御信号PGMがハイレベルに設定されてトランジスタN102がオンに切り換えられる。このことで、選択ビット線BL0とビット線電圧発生回路102とが接続され、選択ビット線BL0が書き込みデータに応じた電圧に設定される。

【0030】書き込みデータが「00x」（x:0または1）の場合には、トランジスタN103, N104がオンし、図10においてPATH1で示される電流路が形成され、ビット線BL0は接地ラインと接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0はGNDレベルに放電される。

【0031】書き込みデータが「01x」（x:0または1）の場合には、トランジスタN105, N106がオンし、図10においてPATH2で示される電流路が形成され、ビット線BL0はビット線電圧供給ラインVBL1と接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB1（=1.2V）に放電される。

【0032】書き込みデータが「10x」（x:0また

10

20

30

40

50

は1)の場合には、トランジスタN107, N108がオンし、図10においてPATH3で示される電流路が形成され、ビット線BL0はビット線電圧供給ラインVBL2と接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB2 (=1.5V)に放電される。

【0033】書き込みデータが「110」(x:0または1)の場合には、トランジスタN109, N110, N111がオンし、図10においてPATH4で示される電流路が形成され、ビット線BL0はビット線電圧供給ラインVBL3と接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャネルCH0は電圧VB3 (=1.5V)に放電される。

【0034】なお、書き込みデータが「111」の場合には、電流路が形成されず、ビット線BL0は、接地ラインおよびビット線供給ラインVBL1~VBL3のいずれにも接続されない。したがって、ビット線BL0はVccに充電された状態でフローティング状態にされ、メモリストリングA0のメモリセルトランジスタのチャネルCH0はVcc-VthDSGに保持される。

【0035】上述したように選択されたメモリストリングA0と接続されている選択ビット線BL0が書き込みデータに応じた電圧に設定された後、ワード線WL0~WL15のうち、書き込み対象ページとされる選択ワード線が書き込み電圧VPGMに設定されると共に、それ以外の非選択ワード線が書き込みバス電圧Vpass (<VPGM)に設定され、所定のメモリセルトランジスタに対して書き込みがなされる。

【0036】このとき、書き込みデータが「111」以外のメモリセルトランジスタにおいては、選択ワード線に印加されたワード線電圧(書き込み電圧VPGM)とメモリセルトランジスタのチャネル電圧との電界によりファウラーノードハイムトンネリング(Fowler-Nordheim Tunneling:以後FNトンネリング)現象が起り、データの書き込みがなされる。また、書き込みデータが「111」のメモリセルトランジスタのチャネルおよび非選択側のメモリストリングA1のメモリセルトランジスタのチャネルCH1は、ドレイン側の選択トランジスタDS0, DS1によってビット線BL0, BL1から切り離され、ワード線との容量結合により非書き込み電位にブーストされ、これらのメモリセルトランジスタにはデータの書き込みがなされないようになっている。

【0037】上述のように構成された8値型のNAND型フラッシュメモリにおいては、書き込みレベルの異なる書き込みデータが並列に書き込まれるため、各レベルの書き込みデータをステップ毎に書き込む場合に比べて書き込み時間が短縮されるという利点がある。

【0038】ところで、通常、NAND型フラッシュメ

モリにおいては、書き込み動作時に、選択ワード線に対して所定のパルス幅を有するパルス状のワード線電圧

(書き込みパルス)を印加し、この書き込みサイクルを繰り返し行うことにより、メモリセルに対してデータを小刻みに分割して書き込むようなことが行われている。このような書き込みを行う場合には、書き込み回数の削減を図る観点から、書き込み開始時のワード線電圧を所定の初期電圧に設定し、徐々に所定のステップ幅で段階的にワード線電圧を増加させながら書き込みを順次行うISPP(Incremental Step Pulse Programming)と称される方法が用いられる。

【0039】しかしながら、上述した8値型のNAND型フラッシュメモリにおいて、多値並列書き込みを行う場合は、理想的なビット線電圧と実際のビット線電圧との差が最も大きい、書き込みデータが「110」のメモリセルトランジスタが過剰書き込みとならないように、書き込み開始時のワード線電圧を、この書き込みデータが「110」のメモリセルのうち書き込み速度が最も速いメモリセルが1回目の書き込みで丁度書き込みレベルに達するような電圧に設定する必要がある。この場合、ワード線電圧の初期値が、理想的な電圧よりも書き込みデータが「110」の場合の理想的なビット線電圧と実際のビット線電圧との差分だけ低い電圧に設定された状態から書き込みが開始されるため、データ「110」よりも書き込みレベルが深いデータが書き込まれるメモリセルでは、書き込み開始時の電界が理想の場合に比べて低く設定されることになる(現状ではISPPの開始時の電圧を例えば15Vとしている。このとき書き込みデータが「110」の場合のビット線電圧の理想値と実際の値との差は $3.6 - 1.5 = 2.1$ Vである。この場合、理想的なISPPの開始時の電圧はほぼ17Vである)。その結果、書き込み回数が増えてトータルの書き込み時間が長くなるという不都合が生じる。

【0040】したがって、この発明の目的は、ビット線電圧を書き込みデータに応じて変えて多値並列書き込みを行う場合に、書き込み時間を短縮することができる不揮発性半導体記憶装置およびそのデータ書き込み方法を提供することにある。

【0041】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、nビット( $n \geq 2$ )の多値データを並列にかつページ単位でメモリセルに書き込むようにした不揮発性半導体記憶装置であって、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実

10

20

30

40

50

13

効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにした書き込み制御手段を有することを特徴とするものである。

【0042】この発明の第2の発明は、ワード線およびビット線への印加電圧に応じて電荷蓄積部に蓄積された電荷量に変化し、その変化に応じてしきい値電圧が変化し、しきい値電圧に応じた値のデータを記憶するメモリセルを有し、 $n$ ビット ( $n \geq 2$ ) の多値データを並列にかつページ単位でメモリセルに書き込むようにした不揮発性半導体記憶装置のデータ書き込み方法であって、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにしたことを特徴とするものである。

【0043】この発明において、不揮発性半導体記憶装置は、典型的には、NAND型フラッシュメモリであり、メモリセルは、フローティングゲートおよびコントロールゲートを有するMOSトランジスタからなる。

【0044】この発明において、不揮発性半導体記憶装置は、好適には、メモリセルが複数個接続され、その一端および他端がゲート電圧に応じて導通状態が制御される選択トランジスタを介してビット線およびソース線に接続されたメモリストリングが並列に配置されていると共に、同一行のメモリセルの制御ゲートが共通のワード線によって接続されたものである。この場合、書き込み動作時には、セルフブーストまたはローカルセルフブーストを用いて $n$ ビット ( $n \geq 2$ ) の多値データを並列にかつページ単位でメモリセルに書き込むようにする。

【0045】以下に、この発明の原理について説明する。

【0046】図1は、参考文献 (Symp. on VLSI Circuits, Digest of Technical Papers, p.168, (1996)) に示されている、NAND型フラッシュメモリにおいてISPを用いて書き込みを行った場合の、メモリセルのしきい値電圧の変化のワード線電圧 (書き込みパルス) のパルス幅依存性を示すグラフである。図1において、横軸は書き込み回数を表し、縦軸はメモリセルのしきい値電圧 $V_{th}$  (V) を表す。図1においては、ワード線電圧のパルス幅を $2\mu s$ 、 $5\mu s$ 、 $10\mu s$ 、 $20\mu s$ 、 $50\mu s$ とした場合のしきい値電圧 $V_{th}$ の実測値が黒丸で示され、計算値が実線で示されている。なお、いずれの場合も、ワード線電圧の初期値は $14.5V$ であり、1回の書き込みサイクル毎のワード線電圧のステップ幅は $0.5V$ である。したがって、横軸は、その書き込みサイクルにおけるワード線電圧に対応している。

【0047】図1より、NAND型フラッシュメモリの書き込み動作において、パルス状のワード線電圧の初期値およびステップ幅を同一条件にし、パルス幅のみ変化

14

させた場合、最初の数回の書き込みサイクルでは、ワード線電圧のパルス幅が長い方がメモリセルのしきい値電圧 $V_{th}$ のシフト量 (上昇量) が大きく、それ以降の書き込みサイクルでは、ワード線電圧のパルス幅に関係なく、ワード線電圧のステップ幅にほぼ等しい量だけメモリセルのしきい値電圧 $V_{th}$ がシフト (上昇) することがわかる。これは、メモリセルにおける書き込み時の電界が同じでも、ワード線電圧のパルス幅を短く (ワード線電圧の印加時間を短く) 設定した方が、メモリセルのしきい値電圧 $V_{th}$ のシフトを遅らせることができることを意味している。すなわち、ワード線電圧のパルス幅を短く設定して書き込みを行うということは、実質的にビット線電圧が実際の電圧より高い状態で書き込みを行うのと等価である。

【0048】ここで、8値型のNAND型フラッシュメモリにおいて、書き込みデータに応じてワード線電圧のパルス幅を制御して、多値並列書き込みを行う場合について説明する。

【0049】8値型のNAND型フラッシュメモリの場合、メモリセルトランジスタのしきい値電圧 $V_{th}$ は、図2に示すように、「000」、「001」、「010」、「011」、「100」、「101」、「110」、「111」の各データ内容に対応する8状態 (分布7～分布0) をとる。図2中、 $V_{VF1} \sim V_{VF7}$  および  $V_{RD1} \sim V_{RD7}$  は、各状態に対応するベリファイ動作時および通常読み出し時の選択ワード線電圧 (ただし、 $V_{VF7} > V_{RD7} > V_{VF6} > V_{RD6} > V_{VF5} > V_{RD5} > V_{VF4} > V_{RD4} > V_{VF3} > V_{RD3} > V_{VF2} > V_{RD2} > V_{VF1} > V_{RD1}$ ) であり、一例を挙げると、 $V_{VF7} = 3.8V$ 、 $V_{RD7} = 3.6V$ 、 $V_{VF6} = 3.2V$ 、 $V_{RD6} = 3.0V$ 、 $V_{VF5} = 2.6V$ 、 $V_{RD5} = 2.4V$ 、 $V_{VF4} = 2.0V$ 、 $V_{RD4} = 1.8V$ 、 $V_{VF3} = 1.4V$ 、 $V_{RD3} = 1.2V$ 、 $V_{VF2} = 0.8V$ 、 $V_{RD2} = 0.6V$ 、 $V_{VF1} = 0.2V$ 、 $V_{RD1} = 0V$ である。

【0050】この8値型のNAND型フラッシュメモリにおいては、セルフブーストまたはローカルセルフブーストを考えなければ、理想的な書き込み時のビット線電圧は、例えば、図2(a)に示すように、書き込みデータが「000」の場合、 $0V$ 、書き込みデータが「001」の場合、 $0.6V$ 、書き込みデータが「010」の場合、 $1.2V$ 、書き込みデータが「011」の場合、 $1.8V$ 、書き込みデータが「100」の場合、 $2.4V$ 、書き込みデータが「101」の場合、 $3.0V$ 、書き込みデータが「110」の場合、 $3.6V$ 、書き込みデータが「111」の場合、 $8V$ である。

【0051】実際には、この8値型のNAND型フラッシュメモリの書き込み動作は、書き込み禁止のメモリセルのチャネルをビット線から切り離して、ワード線との容量結合によって非書き込み電位にブーストする、いわゆるセルフブーストまたはローカルセルフブーストが用



15

いられる。この場合、実際の書き込み時のビット線電圧は、例えば図2(b)に示すように、書き込みデータが「00x」(x:0または1)の場合、0V、書き込みデータが「01x」(x:0または1)の場合、1.2V、書き込みデータが「10x」(x:0または1)の場合、1.5V、書き込みデータが「110」の場合、1.5V、書き込みデータが「111」の場合、 $V_{cc}$ に設定される。

【0052】また、上述の8値型のNAND型フラッシュメモリにおいて、書き込みレベルの浅い、データ「110」やデータ「10x」(x:0または1)を書き込む場合のワード線電圧のパルス幅を、それよりも書き込みレベルの深い、データ「0xx」(x:0または1)を書き込む場合のワード線電圧のパルス幅より短く設定すれば、データ「110」やデータ「10x」(x:0または1)を書き込む場合のビット線電圧が実際の電圧より高い状態に設定されているのと等価となり、その結果、ISPを用いた書き込みにおいて、書き込み開始時のワード線電圧を高く設定することが可能となる。

【0053】また、上述の8値型のNAND型フラッシュメモリにおいてメモリセルにデータを書き込む場合は、書き込みレベルの浅いデータが書き込まれるメモリセルほど、消去状態から書き込み終了と判定されるまでのしきい値電圧のシフト量が小さいため、書き込みが速く終了する。したがって、書き込みレベルの浅いデータが書き込まれるメモリセルに対しては、ワード線電圧のパルス幅を短く設定して書き込みを行っても、そのパルス幅を適切に選べば、トータルの書き込み時間を増加させることはない。

【0054】したがって、書き込み時間を短縮する上では、書き込みレベルの浅いデータを書き込む場合ほど、ワード線電圧のパルス幅を短く設定するのが好都合であると言える。

【0055】ところで、NAND型フラッシュメモリにおいては、通常、選択ワード線に所定のパルス幅のワード線電圧を印加し、ページ単位でメモリセルにデータの書き込みを行うようにしている。したがって、実際に選択ワード線に印加するワード線電圧よりパルス幅の短いパルスによってメモリセルにデータの書き込みを行う場合は、選択ワード線にワード線電圧が印加されても、一定期間はメモリセルに対してデータの書き込みがなされないようにする必要がある。このような場合には、以下に示すようなステップで制御を行い、メモリセルに実際にデータの書き込みがなされる時間、すなわち、実効的なワード線電圧のパルス幅を、実際に選択ワード線に印加するワード線電圧のパルス幅よりも短くしてやればよい。

【0056】すなわち、まず、書き込み対象のメモリセルと接続される選択ビット線が電源電圧 $V_{cc}$ に充電されている状態(ただし、メモリストリングのドレイン側の

16

選択トランジスタのゲート電圧は電源電圧 $V_{cc}$ に設定されているものとする)でワード線電圧を立ち上げ、書き込み対象のメモリセルのチャネルを、書き込み禁止のメモリセルに対して行うのと同様に、セルフブーストまたはローカルセルフブーストにより非書き込み電位までブーストする。そして、一定時間経過後に、ビット線電圧を書き込みデータに応じた電圧に切り替え、これによって、書き込み対象のメモリセルのチャネルをビット線を介して書き込みデータに応じた電圧に放電させ、以降、書き込みサイクルの終了まで書き込みを行う。この際、書き込みデータの書き込みレベルが浅い場合ほど、ビット線電圧を書き込みデータに応じた電圧に切り替えるタイミングを遅くしてやれば、書き込みレベルの浅いデータが書き込まれるメモリセルほど、実効的なワード線電圧のパルス幅が短くなる。

【0057】ここで、ワード線電圧の電圧値が等しいときのワード線電圧のパルス幅の違いによるしきい値電圧 $V_{th}$ の差を、図1において、例えば5回目の書き込みサイクル後に到達するしきい値電圧 $V_{th}$ から読み取ると、

(A)  $20\mu s$ の場合と $10\mu s$ の場合との差: 0.7V

(B)  $20\mu s$ の場合と $5\mu s$ の場合との差: 1.1V

(C)  $20\mu s$ の場合と $2\mu s$ の場合との差: 1.7Vとなる。実際に選択ワード線に印加する書き込みパルスのパルス幅を $20\mu s$ とする場合は、上述の(A)～

(C)の関係に基づいて、書き込みデータに応じた実効的なワード線電圧のパルス幅(印加時間)が設定される。

【0058】具体的には、実際に選択ワード線に印加するパルス状のワード線電圧のパルス幅を $20\mu s$ とし、多値並列書き込み時のビット線電圧を図2(b)に示すように設定する場合は、書き込みデータに応じて実効的なワード線電圧のパルス幅を、例えば図2(c)に示すよう設定する。すなわち、書き込みデータが「0xx」(x:0または1)の場合の実効的なワード線電圧のパルス幅を $20\mu s$ とし、書き込みデータが「10x」(x:0または1)の場合の実効的なワード線電圧のパルス幅を $10\mu s$ とし、書き込みデータが「110」の場合の実効的なワード線電圧のパルス幅を $2\mu s$ とする。なお、書き込みデータが「111」の場合には、実質的にデータの書き込みがなされないため、実効的なワード線電圧のパルス幅は $0\mu s$ である。

【0059】ここで、書き込みデータが「0xx」(x:0または1)の場合の実効的なワード線電圧のパルス幅は、実際に選択ワード線に印加するワード線電圧のパルス幅と等しく、したがって、書き込みデータが「0xx」(x:0または1)の場合には、ワード線電圧の立ち上げと同時に、実質的なデータの書き込みが開始される。これに対して、書き込みデータが「10x」(x:0または1)の場合および「110」の場合の実

10

20

30

40

50

17

効的なワード線電圧のパルス幅は、実際に選択ワード線に印加するワード線電圧のパルス幅より短く、したがって、書き込みデータが「10x」(x:0または1)の場合には、ワード線電圧を立ち上げてから $10\mu\text{s}$ 経過後に実質的なデータの書き込みが開始され、書き込みデータが「110」の場合には、さらに $8\mu\text{s}$ 経過後(ワード線電圧を立ち上げてから $18\mu\text{s}$ 経過後)に実質的なデータの書き込みが開始される。

【0060】このように、多値並列書き込み時のビット線電圧を図2(b)に示すように設定し、かつ、実効的なワード線電圧のパルス幅を図2(c)に示すように設定した場合の実質的なビット線電圧(換算ビット線電圧)は、上述の(A)~(C)の關係に基づいて、全てのデータの書き込み時間を $20\mu\text{s}$ とした場合に換算すると、図2(d)に示すようになる。すなわち、書き込みデータが「00x」(x:0または1)の場合の換算ビット線電圧は $0+0=0\text{V}$ となり、書き込みデータが「01x」(x:0または1)の場合の換算ビット線電圧は $1.2+0=1.2\text{V}$ となり、書き込みデータが「10x」(x:0または1)の場合の換算ビット線電圧は $1.5+0.7=2.2\text{V}$ となり、書き込みデータが「110」の場合の換算ビット線電圧は $1.5+1.7=3.2\text{V}$ となる。

【0061】このときの理想的な書き込み時のビット線電圧と換算ビット線電圧との差((a)-(d))を、図2(e)に示す。ここで、書き込みデータに応じて実効的なワード線電圧のパルス幅を制御するようなことを行わなかった場合(全てのデータの書き込み時間を同一とした場合)、理想的なビット線電圧と換算ビット線電圧との差が最も大きくなるのは、書き込みデータが「110」の場合であり、このときの理想的なビット線電圧と換算ビット線電圧との差は $2.1\text{V}$ であった。これに対して、図2(e)に示すように、書き込みデータに応じて実効的なワード線電圧のパルス幅を制御して多値並列書き込みを行う場合に、理想的なビット線電圧と換算ビット線電圧との差が最も大きくなるのは、書き込みデータが「101」の場合であり、このときの理想的なビット線電圧と換算ビット線電圧との差は $0.8\text{V}$ である。この場合、書き込み開始時のワード線電圧は、この書き込みデータが「101」のメモリセルのうち書き込み速度が最も速いメモリセルが1回目の書き込みサイクルで丁度書き込みレベルに達するような電圧に設定すればよく、理想的な電圧値より $0.8\text{V}$ だけ低い電圧に設定すればよい。これに対して、書き込みデータに応じて実効的なワード線電圧のパルス幅を制御するようなことを行わなかった場合(全てのデータの書き込み時間を同一(例えば $20\mu\text{s}$ )に設定した場合)、理想的なビット線電圧と実際のビット線電圧との差は、書き込みデータが「110」の場合に最大となり、その値は $2.1\text{V}$ である。

18

【0062】以上のように、この発明による不揮発性半導体記憶装置およびそのデータ書き込み方法によれば、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにしていることにより、書き込み開始時のワード線電圧を高く設定することができる。

【0063】

【発明の実施の形態】以下、この発明の実施形態について図面を参照して説明する。

【0064】図3および図4は、この発明の一実施形態による8値型のNAND型フラッシュメモリを示す。図3は、この8値型のNAND型フラッシュメモリの主要部の構成を示し、図4は、この8値型のNAND型フラッシュメモリのメモリセルアレイの等価回路を示す。このNAND型フラッシュメモリは、メモリセルアレイ1、ビット線電圧発生回路2および読み出し/ベリファイ制御回路3などにより構成される。

【0065】メモリセルアレイ1は、図4に示すように、例えば、フローティングゲート(FG)およびコントロールゲート(CG)を有し、それぞれが3ビットのメモリセルとして機能するMOSトランジスタ(メモリセルトランジスタ)がマトリクス状に配置されたものであり、同一行のメモリセルが共通のワード線WL0~WL15に接続されたメモリストリングA0~Anにより構成されている。なお、図4においては、メモリストリングA2以降が省略されている。

【0066】一つのメモリストリングは、メモリセルトランジスタが直列に複数個接続されたものである。メモリストリングA0は、メモリセルトランジスタM0-0~M15-0により構成されている。メモリセルトランジスタM15-0のドレインが選択トランジスタDS0のソースと接続され、選択トランジスタDS0のドレインがビット線BL0と接続されている。一方、メモリセルトランジスタM0-0のソースが選択トランジスタSS0のドレインと接続され、選択トランジスタSS0のソースがソース線SLと接続されている。また、メモリセルトランジスタM0-0~M15-0のコントロールゲートが、それぞれワード線WL0~WL15と接続されている。同様に、メモリストリングA1は、メモリセルトランジスタM0-1~M15-1により構成されている。メモリセルトランジスタM15-1のドレインが選択トランジスタDS1のソースと接続され、選択トランジスタDS1のドレインがビット線BL1と接続されている。一方、メモリセルトランジスタM0-1のソースが選択トランジスタSS1のドレインと接続され、選択トランジスタSS1のソースがソース線SLと接続されている。また、メモリセルトランジスタM0-1~M15-1のコントロールゲートが、そ

19

れぞれワード線WL0～WL15と接続されている。

【0067】このようにメモリストリングA0、A1と各線とが接続され、他のメモリストリングA2～Anに関しても同様の接続関係とされている。したがって、メモリストリングA0～Anの一端は、選択トランジスタDS0～DSnを介してビット線BL0～BLnと接続され、メモリストリングA0～Anの他端は、選択トランジスタSS0～SSnを介してソース線SLと接続されている。そして、選択トランジスタDS0～DSnのゲートが共通のドレイン側選択ゲート線DSGと接続され、選択トランジスタSS0～SSnのゲートが共通のソース側選択ゲート線SSGと接続されている。メモリセルアレイ1においては、上述のようなメモリストリングA0～Anが並列に配置されている。

【0068】ビット線BL0およびBL1に対応して設けられているビット線電圧発生回路2は、図3に示すように、nチャネルMOSトランジスタからなるトランジスタN1～N14、インバータの入出力同士を結合してなるラッチ回路LQ2、LQ1、LQ0およびpチャネルMOSトランジスタからなるトランジスタP1により構成されている。また、ビット線電圧発生回路2からは、所定の定電圧源と接続されたビット線電圧供給ラインVBL1、VBL2、VBL3が導出されている。このNAND型フラッシュメモリにおいては、ラッチ回路LQ2～LQ0を含む1つのビット線電圧発生回路2に対して2本のビット線が選択的に接続される構成（ビット線shared）を採っている。なお、ビット線BL2以降に対応するビット線電圧発生回路も同様の構成とされおり、これらの部分に関する説明は、説明を簡単とするため省略する。また、他の回路部分に関しても、ビット線BL0およびBL1に対応する部分にのみ注目し、その部分に関してのみ説明する。

【0069】ビット線電圧発生回路2により、書き込み時に、書き込みデータに応じたビット線電圧が発生され、そのビット線電圧がビット線BL0、BL1を通じてメモリセルアレイ1のメモリセルトランジスタのチャネルに与えられる。ベリファイ時には、ビット線電圧発生回路2のラッチ回路LQ2、LQ1、LQ0の記憶ノードQ2、Q1、Q0は、メモリセルアレイ1のメモリセルトランジスタに書き込みが十分に行なわれると、

「111」に設定される。読み出し時には、メモリセルアレイ1のメモリセルトランジスタのしきい値電圧が検出されてデータの読み出しが行なわれる。この時、ラッチ回路LQ2、LQ1、LQ0の記憶ノードQ2、Q1、Q0には、読み出されたデータがデコードされて設定されていく。

【0070】読み出し／ベリファイ制御回路3は、nチャネルMOSトランジスタからなるトランジスタN15～N41により構成されている。この読み出し／ベリファイ制御回路3は、読み出し時またはベリファイ時に、

20

ラッチ回路LQ2、LQ1、LQ0の状態を制御するものである。読み出し／ベリファイ制御回路3からは、制御信号 $\phi$ LAT0～ $\phi$ LAT9の供給ラインが導出されている。この制御信号 $\phi$ LAT0～ $\phi$ LAT9の供給ラインに、パルス状の信号が供給される。

【0071】ビット線BL0とノードSAとの間には、高耐圧のnチャネルMOSトランジスタからなるトランジスタHN1およびHN3が直列に接続されている。また、ビット線BL1とノードSAとの間には、高耐圧のnチャネルMOSトランジスタからなるトランジスタHN2およびHN4が直列に接続されている。トランジスタHN1、HN2のゲートに共通の制御信号TRNが供給される。トランジスタHN3のゲートにアドレスデコード信号AiBが供給され、トランジスタHN4のゲートにアドレスデコード信号AiNが供給される。

【0072】ビット線電圧発生回路2においては、ノードSAと電源電圧Vcc（Vccは例えば3.3V）の供給ラインとの間にトランジスタP1が接続されている。トランジスタP1のゲートには制御信号Vrefが供給される。また、ノードSAと接地ラインGNDとの間にトランジスタN1が接続されている。トランジスタN1のゲートには制御信号DISが供給される。

【0073】また、ビット線電圧発生回路2においては、トランジスタN2のドレインがノードSAと接続されている。トランジスタN2のソースがトランジスタN3、N5、N7、N9のドレインと接続されている。トランジスタN2のゲートには制御信号PGMが供給される。

【0074】トランジスタN2のソースと接地ラインとの間にトランジスタN3、N4が直列に接続されている。トランジスタN2のソースとビット線電圧供給ラインVBL1との間にトランジスタN5、N6が直列に接続されている。トランジスタN2のソースとビット線電圧供給ラインVBL2との間にトランジスタN7、N8が直列に接続されている。トランジスタN2のソースとビット線電圧供給ラインVBL3との間にトランジスタN9、N10、N11が直列に接続されている。なお、この一実施形態によるNAND型フラッシュメモリにおいては、上述のようにGNDレベルのビット線電圧を供給する電源が接地ラインとなっているが、これは、例えば、GNDレベルのビット線電圧を供給することが可能なビット線電圧供給ライン（例えばVBL0とする）をさらに設けて、トランジスタN2のソースとこのビット線電圧供給ラインVBL0との間にトランジスタN3、N4を直列に接続するようにしてもよい。

【0075】ラッチ回路LQ2、LQ1、LQ0はそれぞれ記憶ノードQ2、Q1、Q0と、その反転記憶ノード/Q2、/Q1、/Q0とを有している。なお、/は反転を示すバーを意味している。

【0076】ラッチ回路LQ2の反転記憶ノード/Q2

21

はトランジスタN4, N6のゲートと接続され、記憶ノードQ2はトランジスタN7, N9のゲートと接続されている。ラッチ回路LQ1の反転記憶ノード/Q1はトランジスタN3, N8のゲートと接続され、記憶ノードQ1はトランジスタN5, N10のゲートと接続されている。ラッチ回路LQ0の反転記憶ノード/Q0はトランジスタN11のゲートと接続されている。

【0077】また、ラッチ回路LQ2の記憶ノードQ2、ラッチ回路LQ1の記憶ノードQ1、ラッチ回路LQ0の記憶ノードQ0のそれぞれと接地ラインとの間に、トランジスタN12, N13, N14が接続されている。トランジスタN12, N13, N14のゲートにリセット信号RSTが供給される。

【0078】読み出し／ペリファイ制御回路3においては、トランジスタN15, N16, N17のゲートが、ビット線電圧発生回路2のノードSAと接続されている。トランジスタN15のドレインがラッチ回路LQ2の反転記憶ノード/Q2と接続され、トランジスタN16のドレインがラッチ回路LQ1の反転記憶ノード/Q1と接続され、トランジスタN17のドレインがラッチ回路LQ0の反転記憶ノード/Q0と接続されている。

【0079】トランジスタN15のソースと接地ラインとの間にトランジスタN18が接続されていると共に、これと並列的にトランジスタN19, N20, N21が直列に接続されている。

【0080】トランジスタN16のソースがトランジスタN22のドレインおよびトランジスタN27のドレインと接続されている。トランジスタN22のソースと接地ラインとの間にトランジスタN23, N24が直列に接続されていると共に、これと並列的にトランジスタN25, N26が直列に接続されている。トランジスタN27のソースと接地ラインとの間にトランジスタN28, N29が直列に接続されていると共に、これと並列的にトランジスタN30, N31が直列に接続されている。

【0081】トランジスタN17のソースがトランジスタN32のドレインおよびトランジスタN37のドレインと接続されている。トランジスタN32のソースと接地ラインとの間にトランジスタN33, N34が直列に接続されていると共に、これと並列的にトランジスタN35, N36が直列に接続されている。トランジスタN37のソースと接地ラインとの間にトランジスタN38, N39が直列に接続されていると共に、これと並列的にトランジスタN40, N41が直列に接続されている。

【0082】読み出し／ペリファイ制御回路3からは、制御信号 $\phi$ LAT0 $\sim\phi$ LAT9の供給ラインが導出される。トランジスタN18のゲートに制御信号 $\phi$ LAT0が供給される。トランジスタN21のゲートに制御信号 $\phi$ LAT1が供給される。トランジスタN24のゲ

22

トに制御信号 $\phi$ LAT2が供給される。トランジスタN26のゲートに制御信号 $\phi$ LAT3が供給される。トランジスタN29のゲートに制御信号 $\phi$ LAT4が供給される。トランジスタN31のゲートに制御信号 $\phi$ LAT5が供給される。トランジスタN34のゲートに制御信号 $\phi$ LAT6が供給される。トランジスタN36のゲートに制御信号 $\phi$ LAT7が供給される。トランジスタN39のゲートに制御信号 $\phi$ LAT8が供給される。トランジスタN41のゲートに制御信号 $\phi$ LAT9が供給される。

【0083】ラッチ回路LQ2の反転記憶ノード/Q2がトランジスタN27, N37のゲートと接続され、記憶ノードQ2がトランジスタN22, N32のゲートと接続されている。ラッチ回路LQ1の反転記憶ノード/Q1がトランジスタN35, N40のゲートと接続され、記憶ノードQ1がトランジスタN33, N38のゲートと接続されている。ラッチ回路LQ0の反転記憶ノード/Q0がトランジスタN28, N23のゲートと接続され、記憶ノードQ0がトランジスタN30, N25, N20のゲートと接続されている。

【0084】そして、ラッチ回路LQ2の記憶ノードQ2とバスラインIO0との間にトランジスタN51が接続され、ラッチ回路LQ1の記憶ノードQ1とバスラインIO1との間にトランジスタN52が接続され、ラッチ回路LQ0の記憶ノードQ0とバスラインIO2との間にトランジスタN53が接続されている。また、カラムゲートとしてのトランジスタN51, N52, N53のゲートが信号Y1\_\_0の供給ラインと接続されている。

【0085】また、図示は省略するが、このNAND型フラッシュメモリは、各信号線に供給する所定の電圧を発生させるための昇圧回路およびその制御回路を有している。具体的には、このNAND型フラッシュメモリは、後述する書き込み電圧VPGM発生用の昇圧回路およびその制御回路、書き込みバス電圧Vpass発生用の昇圧回路およびその制御回路、P5V（読み出し時のバス電圧で例えば5V $\sim$ 6V程度）発生用の昇圧回路およびその制御回路を有している。

【0086】上述のように構成されたこの一実施形態によるNAND型フラッシュメモリにおいて、1個のメモリセルトランジスタに3ビットからなり8値をとるデータが記録される。3ビットからなり8値をとるデータのしきい値電圧Vthの分布と、データ内容とは、例えば図2に示すような対応関係とされる。

【0087】具体的には、図2において分布7はデータ「000」が書き込まれて第7の正のしきい値電圧Vthの書き込み状態とされるメモリセルトランジスタの分布であり、分布6はデータ「001」が書き込まれて第6の正のしきい値電圧Vthの書き込み状態とされるメモリセルトランジスタの分布であり、分布5はデータ「01

10

20

30

40

50

23

0」が書き込まれて第5の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布であり、分布4はデータ「011」が書き込まれて第4の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布であり、分布3はデータ「100」が書き込まれて第3の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布であり、分布2はデータ「101」が書き込まれて第2の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布であり、分布1はデータ「110」が書き込まれて第1の正のしきい値電圧 $V_{th}$ の書き込み状態とされるメモリセルトランジスタの分布である。また、図2において分布0はデータ「111」が書き込まれて負のしきい値電圧 $V_{th}$ の消去状態とされるメモリセルトランジスタの分布である。

【0088】また、図2においては、後述するペリファイ動作における読み出し時の各状態に対する選択ワード線電圧が $V_{VF1}$ ,  $V_{VF2}$ ,  $V_{VF3}$ ,  $V_{VF4}$ ,  $V_{VF5}$ ,  $V_{VF6}$ ,  $V_{VF7}$ で示され、通常読み出し時の各状態に対する選択ワード線電圧が $V_{RD1}$ ,  $V_{RD2}$ ,  $V_{RD3}$ ,  $V_{RD4}$ ,  $V_{RD5}$ ,  $V_{RD6}$ ,  $V_{RD7}$ で示されている。その大小関係は、 $V_{VF7} > V_{RD7} > V_{VF6} > V_{RD6} > V_{VF5} > V_{RD5} > V_{VF4} > V_{RD4} > V_{VF3} > V_{RD3} > V_{VF2} > V_{RD2} > V_{VF1} > V_{RD1}$ とされる。一例を挙げると、 $V_{VF7} = 3.8V$ ,  $V_{RD7} = 3.6V$ ,  $V_{VF6} = 3.2V$ ,  $V_{RD6} = 3.0V$ ,  $V_{VF5} = 2.6V$ ,  $V_{RD5} = 2.4V$ ,  $V_{VF4} = 2.0V$ ,  $V_{RD4} = 1.8V$ ,  $V_{VF3} = 1.4V$ ,  $V_{RD3} = 1.2V$ ,  $V_{VF2} = 0.8V$ ,  $V_{RD2} = 0.6V$ ,  $V_{VF1} = 0.2V$ ,  $V_{RD1} = 0V$ である。

【0089】上述のように構成されたこの一実施形態によるNAND型フラッシュメモリにおける書き込み動作、ペリファイ動作および通常読み出し動作について以下に説明する。

【0090】まず、この一実施形態によるNAND型フラッシュメモリの書き込み動作について説明する。図5に、この一実施形態によるNAND型フラッシュメモリの書き込み動作における各部の信号の状態を示す。なお、ここでは、メモリストリングA0が書き込み対象として選択されているものとする。この一実施形態によるNAND型フラッシュメモリにおいては、書き込み動作とペリファイ動作とを繰り返すことにより、書き込み対象のメモリセルトランジスタに対して所望のデータが書き込まれてゆく。この際、書き込み開始時のワード線電圧を所定の初期電圧に設定し、徐々に所定のステップ幅で段階的にワード線電圧を増加させながら書き込みを順次行うISPと称される方法が用いられる。

【0091】書き込み動作の前には、制御信号PGMがローレベル（GNDレベル）に設定されてトランジスタN2がオフされ、ビット線BL0, BL1と書き込み制御回路2とが切り離されている。そして、制御信号DI

24

Sがハイレベル（ $V_{cc}$ レベル）に、制御信号TRNおよびアドレスデコード信号AiB, AiNが（ $V_{cc} - V_{th}$ ）レベルに設定されている。このときトランジスタHN1, HN2, HN3, HN4およびトランジスタN1がオンしていることにより、全ビット線は接地されている。また、ビット線電圧供給ラインVBL1の電圧は電圧VB1（例えば1.2V）に設定され、ビット線電圧供給ラインVBL2およびビット線電圧供給ラインVBL3の電圧は $V_{cc}$ レベルに設定されている。

【0092】この状態で書き込みが起動された場合には、書き込みデータがデータバスを介してビット線電圧発生回路2のラッチ回路LQ2, LQ1, LQ0に供給され、そして、その書き込みデータがラッチ回路LQ2, LQ1, LQ0に取り込まれて保持される。このラッチ回路LQ2, LQ1, LQ0のラッチデータに基づいて書き込みが行われる。その後、制御信号DISがローレベルに切り換えられ、ビット線BL0, BL1が接地ラインと切り離される。そして、制御信号TRNおよびアドレスデコード信号AiB, AiNが $V_{cc}$ 以上の所定のハイレベル、例えばP5Vレベルに設定されると共に、制御信号Vrefがローレベル（GNDレベル）に設定される。これにより、全ビット線が $V_{cc}$ に充電される。また、メモリセルアレイ1のドレイン側選択ゲート線DSGが $V_{cc}$ レベルに、ソース側選択ゲート線SSGがGNDレベルに設定される。メモリストリングA0のメモリセルトランジスタのチャネルCH0およびメモリストリングA1のメモリセルトランジスタのチャネルCH1は、（ $V_{cc} - V_{thDSG}$ ）に充電される。 $V_{thDSG}$ は選択トランジスタDS0, DS1のしきい値電圧である。

【0093】その後、アドレスデコード信号AiB, AiNで書き込み対象とされるメモリストリングが選択される。ここでは、例えば、メモリストリングA0が書き込み対象として選択されている場合について説明する。この場合、ビット線電圧供給ラインVBL1が電圧VB1に設定され、ビット線電圧供給ラインVBL2およびVBL3が $V_{cc}$ レベルに設定されている状態で、制御信号Vrefがビット線BL0などのリーク電流を補償するだけの電流をトランジスタP1が流すことが可能な所定レベルの電圧（例えば2V）に設定される。また、アドレスデコード信号AiNがローレベル（GNDレベル）に設定され、トランジスタHN4がオフ状態に切り換えられ、非選択側のビット線BL1が $V_{cc}$ に充電された状態でフローティング状態に保持され、メモリストリングA1のメモリセルトランジスタのチャネルCH1が（ $V_{cc} - V_{thDSG}$ ）レベルに保持される。

【0094】そして、一定時間経過後、制御信号PGMがハイレベルに設定されてトランジスタN2がオンに切り換えられる。このことで、選択ビット線BL0とビット線電圧発生回路2とが接続され、選択ビット線BL0

25

が書き込みデータに応じた電圧に設定される。

【0095】このとき、書き込みデータが「00x」(x:0または1)の場合には、トランジスタN3, N4がオンし、ビット線BL0は接地ラインと接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャンネルCH0はGNDレベルに放電される。

【0096】書き込みデータが「01x」(x:0または1)の場合には、トランジスタN5, N6がオンし、ビット線BL0はビット線電圧供給ラインVBL1と接続される。したがって、ビット線BL0およびメモリストリングA0のメモリセルトランジスタのチャンネルCH0は電圧VB1(=1.2V)に放電される。

【0097】書き込みデータが「10x」(x:0または1)の場合には、トランジスタN7, N8がオンし、ビット線BL0はビット線電圧供給ラインVBL2と接続される。したがって、ビット線BL0はVccに保持され、メモリストリングA0のメモリセルトランジスタのチャンネルCH0は(Vcc-VthDSG)に保持される。

【0098】書き込みデータが「110」の場合には、トランジスタN9, N10, N11がオンし、ビット線BL0はビット線電圧供給ラインVBL3と接続される。したがって、ビット線BL0はVccに保持され、メモリストリングA0のメモリセルトランジスタのチャンネルCH0は(Vcc-VthDSG)に保持される。

【0099】なお、書き込みデータが「111」の場合には、電流路が形成されず、ビット線BL0は、接地ラインおよびビット線供給ラインVBL1~VBL3のいずれにも接続されない。したがって、ビット線BL0はVccに充電された状態でフローティング状態にされ、メモリストリングA0のメモリセルトランジスタのチャンネルCH0は(Vcc-VthDSG)に保持される。

【0100】その後、ワード線にパルス幅が例えば20μsのパルス状のワード線電圧が印加される。この場合、ワード線WL0~WL15のうち、書き込み対象ページとされる選択ワード線が書き込み電圧VPGMに設定され、それ以外の非選択ワード線が書き込みパス電圧Vpassに設定される。

【0101】このとき、書き込みデータが「00x」(x:0または1)および「01x」(x:0または1)のメモリセルトランジスタにおいては、選択ワード線に印加されたワード線電圧(書き込み電圧VPGM)とメモリセルトランジスタのチャンネル電圧との電界によりFNトンネリング現象が起こり、データの書き込みが開始される。また、書き込みデータが「10x」(x:0または1)、「110」および「111」のメモリセルトランジスタのチャンネル、ならびに、非選択側のメモリストリングA1のメモリセルトランジスタのチャンネルCH1は、ドレイン側の選択トランジスタDS0, DS1によってビット線BL0, BL1から切り離され、ワー

26

ド線との容量結合により非書き込み電位にブーストされ、これらのメモリセルトランジスタに対してはデータの書き込みが行われない。

【0102】したがって、この間、書き込みデータが「00x」(x:0または1)および「01x」(x:0または1)のメモリセルトランジスタに対してのみ、データの書き込みが行われる。

【0103】そして、ワード線電圧の印加を開始してから所定時間、例えば10μs経過後、ビット線電圧供給ラインVBL2の電圧がVccレベルから電圧VB2(例えば1.5V)に切り換えられる。

【0104】このとき、書き込みデータが「10x」(x:0または1)の場合には、ビット線BL0は電圧VB2(=1.5V)に放電され、選択トランジスタDS0がオンし、メモリストリングA0のメモリセルトランジスタのチャンネルCH0は電圧VB2(=1.5V)に設定される。このことにより、書き込みデータが「10x」(x:0または1)のメモリセルトランジスタにおいて、データの書き込みが開始される。書き込みデータが「00x」(x:0または1)のメモリセルトランジスタおよび書き込みデータが「01x」(x:0または1)のメモリセルトランジスタにおいては、データの書き込みが継続して行われる。書き込みデータが「110」および「111」のメモリセルトランジスタのチャンネル、ならびに、非選択側のメモリストリングA1のメモリセルトランジスタのチャンネルCH1は、非書き込み電位にブーストされた状態に保持され、これらのメモリセルトランジスタに対してはデータの書き込みが行われない。

【0105】したがって、この間、書き込みデータが「00x」(x:0または1)、「01x」(x:0または1)および「10x」(x:0または1)のメモリセルトランジスタに対して、データの書き込みが行われる。

【0106】さらに、ビット線電圧供給ラインVBL2の電圧が電圧VB2に切り換えられてから所定時間、例えば8μs経過後(ワード線電圧の印加を開始してから18μs経過後)、ビット線電圧供給ラインVBL3の電圧がVccレベルから電圧VB3(例えば1.5V)に切り換えられる。

【0107】このとき、書き込みデータが「110」の場合には、ビット線BL0は電圧VB3(=1.5V)に放電され、選択トランジスタDS0がオンし、メモリストリングA0のメモリセルトランジスタのチャンネルCH0は電圧VB3(=1.5V)に設定される。このことにより、書き込みデータが「110」のメモリセルトランジスタにおいて、データの書き込みが開始される。書き込みデータが「00x」(x:0または1)のメモリセルトランジスタ、書き込みデータが「01x」(x:0または1)のメモリセルトランジスタおよび書

27

き込みデータが「10x」(x:0または1)のメモリセルトランジスタにおいては、データの書き込みが継続して行われる。書き込みデータが「111」のメモリセルトランジスタのチャネルおよび非選択側のメモリストリングA1のメモリセルトランジスタのチャネルCH1は、非書き込み電位にブーストされた状態に保持され、これらのメモリセルトランジスタに対してはデータの書き込みが行われない。

【0108】したがって、この間、書き込みデータが「00x」(x:0または1)、「01x」(x:0または1)、「10x」(x:0または1)および「110」のメモリセルトランジスタに対して、データの書き込みが行われる。

【0109】そして、ビット線電圧供給ラインVBL3の電圧が電圧VB3に切り換えられてから2 $\mu$ s経過後(ワード線電圧の印加を開始してから20 $\mu$ s経過後)、ワード線電圧が0Vに設定され、書き込みサイクルが終了される。

【0110】上述の書き込み動作においては、ビット線電圧発生回路2において、ビット線電圧を書き込みデータに応じた電圧に設定されるタイミングが、書き込みデータの書き込みレベルが浅い場合ほど遅くされているのが特徴的である。

【0111】具体的には、書き込みデータが「00x」(x:0または1)および「01x」(x:0または1)の場合、ワード線電圧が立ち上げられる前に、ビット線BL0がそれぞれ0V、電圧VB1(=1.2V)に設定され、書き込みデータが「10x」(x:0または1)の場合、ワード線電圧が立ち上がってから10 $\mu$ s経過後にビット線BL0が電圧VB2(=1.5V)に設定され、書き込みデータが「110」の場合、ワード線電圧が立ち上がってから18 $\mu$ s経過後にビット線BL0が電圧VB3(=1.5V)に設定される。この場合、メモリセルトランジスタに対して実質的にデータの書き込みがなされる時間は、書き込みデータが「0xx」(x:0または1)の場合、20 $\mu$ sであり、書き込みデータが「10x」(x:0または1)の場合、10 $\mu$ sであり、書き込みデータが「110」の場合、2 $\mu$ sである。なお、書き込みデータが「111」の場合、メモリセルトランジスタに対して実質的にデータの書き込みがなされる時間は、0 $\mu$ sである。この実質的にデータの書き込みがなされる時間は、実効的なワード線電圧のパルス幅(印加時間)に対応している。

【0112】このように、この一実施形態においては、ビット線電圧を書き込みデータに応じた電圧に設定されるタイミングを、書き込みデータに応じて制御することにより、書き込みデータに応じた実効的なワード線電圧のパルス幅の制御が行われている。

【0113】次に、ペリファイ動作について説明する。

図6に、この一実施形態によるNAND型フラッシュメモ

28

モリのペリファイ動作における各部の信号の状態を示す。なお、ここでは、上述の書き込み動作に引き続き、メモリストリングA0がペリファイ対象として選択されているものとする。

【0114】上述の書き込み動作において、ワード線電圧VWLがGNDレベルに設定されて1回の書き込みサイクルが終了された後、制御信号PGMがVccレベルからGNDレベルに切り換えられ、ビット線BL0とビット線電圧発生回路2とが切り離される。そして、制御信号DISがハイレベル、アドレスデコード信号AiNがP5Vレベルに設定されると共に、アドレスデコード信号AiBおよび制御信号TRNが書き込み時のままP5Vレベルに設定され、この間に、全ビット線が接地される。一定時間経過後、制御信号TRNがGNDレベルに設定され、さらに一定時間経過後、制御信号DISがGNDレベルに切り換えられる。そして、アドレスデコード信号AiNがGNDレベルに設定され、非選択側のビット線BL1がフローティング状態とされると共に、制御信号TRNが(Vcc-Vth)レベルに設定される。このとき、アドレスデコード信号AiBがP5Vレベルであることにより、選択ビット線BL0とノードSAとが接続される。

【0115】このペリファイ動作では、1回の書き込みが終了する毎にデータ「000」、「001」、「010」、「011」、「100」、「101」、「110」に対応したしきい値電圧Vthの判定が行われる。このしきい値電圧Vthの判定は、制御信号DISがローレベルに切り換えられた後、ドレイン側選択ゲート線DSGおよびソース側選択ゲート線SSGが非選択ワード線の電圧と同じ所定のハイレベルの電圧、例えばP5Vに設定され、選択ワード線の電圧VWLを例えばVVF7→VVF6→VVF5→VVF4→VVF3→VVF2→VVF1の順序で段階的に下げながらなされる。

【0116】まず、各ワード線電圧での実際のしきい値電圧Vthの判定の前処理として制御信号Vrefがローレベル(GNDレベル)に設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧Vccでの充電がなされる。ある程度時間が経過すると、ビット線BL0の電圧が上昇し、トランジスタHN1のゲートソース間の電位差がVth'(Vth'はトランジスタHN1のしきい値電圧)以下となるときの自動的にトランジスタHN1、HN3がオフする。したがって、ビット線BL0は(Vcc-Vth-Vth')レベル(例えば1V程度)に充電され、ノードSAはVccレベルとなる。

【0117】上述した状態で以て選択ワード線の電圧を所定値とすると共に、ラッチ回路LQ2~LQ0のノードQ2~Q0が所定データに設定された状態で、セル電流の有無をビット線BL0およびノードSAの電圧に反映させてしきい値電圧Vthの判定がなされる。つまり、所定のメモリセルトランジスタのしきい値電圧Vth以上

29

の電圧がそのコントロールゲートに供給されてセル電流が流れる場合には、ビット線BL0の電圧が降下し、トランジスタHN1、HN3がオンする。したがって、ノードSAは、ビット線BL0の電圧( $V_{cc}-V_{th}-V_{th}'$ )とほぼ等しい電圧まで降下する。また、所定のメモリセルトランジスタのしきい値電圧 $V_{th}$ 未満の電圧がそのコントロールゲートに供給される場合には、セル電流が流れず、ビット線BL0の電圧が降下することがなく、ノードSAの電圧は、そのまま $V_{cc}$ レベルに保持される。この関係に基づいてしきい値電圧 $V_{th}$ の判定がなされる。

【0118】ビット線BL0の充電が完了すると、制御信号 $V_{ref}$ がビット線BL0のリーク電流を補償するだけの電流をトランジスタP1が流すことが可能な所定レベルの電圧(例えば、2V)に設定される。

【0119】まず、選択ワード線の電圧 $V_{WL}$ が $V_{VF7}$ に設定され、書き込みデータが「000」に対応するしきい値電圧 $V_{th}$ の判定がなされる。ここで、メモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{VF7}$ より大きい( $V_{th}>V_{VF7}$ )場合には、セルに電流が流れないことにより、ビット線BL0の電圧は変化せず、ノードSAは $V_{cc}$ レベルに保持される。このとき、トランジスタN15、N16、N17がオンする。

【0120】そして、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ が順次ハイレベルに設定される。

【0121】制御信号 $\phi_{LAT0}$ がハイレベルに設定されると、トランジスタN18がオンし、このときトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ2の記憶ノードQ2と接続されたトランジスタN22、N32のゲートがハイレベルになる。

【0122】制御信号 $\phi_{LAT2}$ がハイレベルに設定されると、トランジスタN24がオンし、このときトランジスタN23、N22およびトランジスタN16がオンしていることにより、ラッチ回路LQ1の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ1がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ1の記憶ノードQ1と接続されたトランジスタN33のゲートがハイレベルになる。

【0123】制御信号 $\phi_{LAT6}$ がハイレベルに設定されると、トランジスタN34がオンし、このときトランジスタN33、N32およびトランジスタN17がオンしていることにより、ラッチ回路LQ0の反転記憶ノード/Q0がローレベルに設定されて記憶ノードQ0がローレベルからハイレベルに反転する。

【0124】以上により、書き込みデータが「000」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が

30

$V_{VF7}$ より大きい( $V_{th}>V_{VF7}$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは「111」に反転し、書き込み禁止状態とされる。

【0125】一方、メモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{VF7}$ より小さい( $V_{th}<V_{VF7}$ )場合、リーク補償電流より大きいセル電流が流れ、ノードSAの電圧が降下してトランジスタHN1、HN3がオンし、ビット線BL0の容量CBLとノードSAの容量CSA( $<CBL$ )との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧( $V_{cc}-V_{th}-V_{th}'$ )とほぼ同程度のローレベル(例えば1V程度)となる。このため、制御信号 $\phi_{LAT0}$ 、 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ によりトランジスタN18、N24、N34がオンしても、トランジスタN15、N16、N17のゲートがローレベル(例えば、1V)となっているため、トランジスタN15、N16、N17のそれぞれのドレインソース間が高抵抗な状態とされ、ラッチ回路LQ2~LQ0の記憶ノードQ2~Q0を反転させるのに必要な電流を流すことができず、結果として設定状態が保持される。

【0126】選択ワード線の電圧 $V_{WL}$ が $V_{VF7}$ に設定された状態でのしきい値電圧 $V_{th}$ の判定が完了すると、再度、制御信号 $V_{ref}$ がローレベルに設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧 $V_{cc}$ での充電がなされる。ビット線BL0の充電が完了すると、制御信号 $V_{ref}$ が所定レベルの電圧(例えば、2V)に設定される。

【0127】次に、選択ワード線の電圧 $V_{WL}$ が $V_{VF6}$ に設定され、書き込みデータが「001」に対応するしきい値電圧 $V_{th}$ の判定がなされる。ここで、メモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{VF6}$ より大きい( $V_{th}>V_{VF6}$ )場合には、セルに電流が流れないことにより、ビット線BL0の電圧は変化せず、ノードSAは $V_{cc}$ レベルに保持される。このとき、トランジスタN15、N16、N17がオンする。

【0128】そして、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT5}$ 、 $\phi_{LAT1}$ が順次ハイレベルに設定される。

【0129】制御信号 $\phi_{LAT5}$ がハイレベルに設定されると、トランジスタN31がオンし、このときトランジスタN30、N27およびトランジスタN16がオンしていることにより、ラッチ回路LQ1の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ1がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ1の記憶ノードQ1と接続されたトランジスタN19のゲートがハイレベルになる。なお、メモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{th}>V_{VF7}$ の場合には、選択ワード線の電圧 $V_{WL}$ が $V_{VF7}$ に設定された状態でのしきい値電圧 $V_{th}$ の判定において、すでにラッチ回路LQ1の反転記憶ノード/Q1がローレベルからハ



31

イレベルに判定されているため、ここでは変化しない。また、書き込みデータが「000」でメモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{VF7} > V_{th} > V_{VF6}$ の場合には、ラッチ回路LQ0の記憶ノードQ0がローレベルであることによりトランジスタN30がオフし、ラッチ回路LQ1の記憶ノードQ1は変化しない。

【0130】制御信号 $\phi_{LAT1}$ がハイレベルに設定されると、トランジスタN21がオンし、このときトランジスタN20、N19およびトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。なお、メモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{th} > V_{VF7}$ の場合には、選択ワード線の電圧 $V_{WL}$ が $V_{VF7}$ に設定された状態でのしきい値電圧 $V_{th}$ の判定において、すでにラッチ回路LQ2の反転記憶ノード/Q2がローレベルからハイレベルに判定されているため、ここでは変化しない。また、書き込みデータが「000」でメモリセルトランジスタのしきい値電圧 $V_{th}$ が $V_{VF7} > V_{th} > V_{VF6}$ の場合には、ラッチ回路LQ0の記憶ノードQ0がローレベルであることによりトランジスタN30がオフし、ラッチ回路LQ1の記憶ノードQ1は変化せず、したがって、トランジスタN19がオンしないので、ラッチ回路LQ2の記憶ノードQ2は変化しない。

【0131】以上により、書き込みデータが「001」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ がワード線電圧 $V_{VF6}$ より大きい( $V_{th} > V_{VF6}$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータは「111」に反転し、書き込み禁止状態とされる。

【0132】一方、メモリセルのしきい値電圧 $V_{th}$ が $V_{VF6}$ より小さい( $V_{th} < V_{VF6}$ )場合、リーク補償電流より大きいセル電流が流れ、ノードSAの電圧が降下してトランジスタHN1、HN3がオンし、ビット線BL0の容量CBLとノードSAの容量CSA( $<< CBL$ )との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧( $V_{cc} - V_{th} - V_{th}'$ )とほぼ同程度のローレベル(例えば1V程度)となる。このため、制御信号 $\phi_{LAT5}$ 、 $\phi_{LAT1}$ によりトランジスタN31、N21がオンしても、トランジスタN15、N16のゲートがローレベル(例えば、1V)となっているため、トランジスタN15、N16のそれぞれのドレインソース間が高抵抗状態とされ、ラッチ回路LQ1、LQ2の記憶ノードQ1、Q2を反転させるのに必要な電流を流すことができず、結果として設定状態が保持される。

【0133】以下、同様にして、選択ワード線の電圧 $V_{WL}$ が $V_{VF5}$ に設定され、書き込みデータが「010」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT8}$ 、 $\phi_{LAT1}$ が順次ハイレベルに設定され、書き込み

32

データが「010」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF5}$ より大きい( $V_{th} > V_{VF5}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0134】選択ワード線の電圧 $V_{WL}$ が $V_{VF4}$ に設定され、書き込みデータが「011」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT1}$ がハイレベルに設定され、書き込みデータが「011」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF4}$ より大きい

( $V_{th} > V_{VF4}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0135】選択ワード線の電圧 $V_{WL}$ が $V_{VF3}$ に設定され、書き込みデータが「100」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT2}$ 、 $\phi_{LAT6}$ が順次ハイレベルに設定され、書き込みデータが「100」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF3}$ より大きい( $V_{th} > V_{VF3}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0136】選択ワード線の電圧 $V_{WL}$ が $V_{VF2}$ に設定され、書き込みデータが「101」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT3}$ がハイレベルに設定され、書き込みデータが「101」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF2}$ より大きい

( $V_{th} > V_{VF2}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0137】選択ワード線の電圧 $V_{WL}$ が $V_{VF1}$ に設定され、書き込みデータが「110」に対応するしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT6}$ がハイレベルに設定され、書き込みデータが「110」のメモリセルトランジスタで、そのしきい値電圧 $V_{th}$ が $V_{VF1}$ より大きい

( $V_{th} > V_{VF1}$ )場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「111」に反転するように制御される。

【0138】そして、選択ワード線の電圧 $V_{WL}$ が $V_{VF1}$ に設定された状態でのしきい値電圧 $V_{th}$ の判定が完了した段階で、全ラッチデータの反転信号のワイロードORがとられ、1つでも“0”があれば、ワイヤードORの結果はローレベルとなって、再書き込みプロセスに移行し、全てが“1”となっていれば、書き込みが終了する。以上の書き込みおよびベリファイのサイクルは、全てのメモリセルトランジスタが書き込み十分と判定されるか、所定回数に達するまで繰り返される。

【0139】次に、通常読み出し動作について具体的に

33

説明する。図 7 に、この一実施形態による NAND 型フラッシュメモリの通常読み出し動作時における各部の信号の状態を示す。なお、ここでは、メモリストリング A0 が読み出し対象として選択されているものとする。また、メモリセルトランジスタには、書き込み動作により、しきい値電圧  $V_{th}$  と書き込みデータとが図 2 に示すような対応関係となるように、書き込みデータに応じて書き込みがなされているものとする。

【0140】通常読み出し動作の前には、制御信号 PGM が GND レベルに設定されてトランジスタ N2 がオフされ、ビット線 BL0、BL1 とビット線電圧発生回路 2 とが切り離されている。また、アドレスデコード信号 AiB、AiN および制御信号 TRN が ( $V_{cc}-V_{th}$ ) レベルに設定され、制御信号 Vref が  $V_{cc}$  レベルに設定されると共に、制御信号 DIS がハイレベルに設定されてトランジスタ N1 がオンされ、ビット線 BL0、BL1 が GND レベルに設定されている。

【0141】通常読み出し動作が起動されると、その動作に先立ってリセット信号 RST が一定期間ハイレベルに設定され、ラッチ回路 LQ2 ~ LQ0 に保持されているデータが全てローレベルにリセットされる。通常読み出し動作は、ラッチ回路 LQ2 ~ LQ0 のリセット完了後、即ち、制御信号 DIS およびリセット信号 RST が共にローレベルに切り換えられた後、ドレイン側選択ゲート線 DSG およびソース側選択ゲート線 SSG が非選択ワード線の電圧と同じ所定のハイレベルの電圧、例えば 5V (5.0 ~ 6.0V の所定の電圧) に設定され、選択ワード線の電圧 VWL を例えば VRD7 → VRD6 → VRD5 → VRD4 → VRD3 → VRD2 → VRD1 の順序で段階的に下げながらなされる。

【0142】また、各ワード線電圧での実際のしきい値電圧  $V_{th}$  の判定の前処理として、さらに制御信号 Vref がローレベルに設定されてトランジスタ P1 がオンされ、ビット線 BL0 に対して電源電圧  $V_{cc}$  での充電がなされる。ある程度時間が経過すると、ビット線 BL0 の電圧が上昇し、トランジスタ HN1 のゲート-ソース間の電位差が  $V_{th}'$  ( $V_{th}'$  はトランジスタ HN1 のしきい値電圧) 以下となるときの自動的にトランジスタ HN1、HN3 がオフする。したがって、ビット線 BL0 は ( $V_{cc}-V_{th}-V_{th}'$ ) レベル (例えば 1V 程度) に充電され、ノード SA は  $V_{cc}$  レベルとなる。

【0143】上述した状態で以て選択ワード線の電圧を所定値とし、セル電流の有無をビット線 BL0 およびノード SA の電圧に反映させてしきい値電圧  $V_{th}$  の判定がなされる。つまり、所定のメモリセルトランジスタのしきい値電圧  $V_{th}$  以上の電圧がそのゲートに供給されてセル電流が流れる場合には、ビット線 BL0 の電圧が降下し、トランジスタ HN1、HN3 がオンする。したがって、ノード SA の電圧は、ほぼビット線 BL0 の電圧 ( $V_{cc}-V_{th}-V_{th}'$ ) とほぼ同程度のローレベル (例

34

えば 1V 程度) まで降下する。また、所定のメモリセルトランジスタのしきい値電圧  $V_{th}$  未満の電圧がそのゲートに供給される場合には、セル電流が流れず、ビット線 BL0 の電圧が降下することがなく、ノード SA の電圧は、そのまま  $V_{cc}$  レベルに保持される。この関係に基づいてしきい値電圧  $V_{th}$  の判定がなされる。

【0144】ビット線 BL0 の充電が完了すると、制御信号 Vref がビット線 BL0 のリーク電流を補償するだけの電流をトランジスタ P1 が流すことが可能な所定レベルの電圧 (例えば、2V) に設定される。

【0145】まず、選択ワード線電圧 VWL が VRD7 に設定された状態でのしきい値電圧  $V_{th}$  の判定がなされる。ここで、メモリセルトランジスタのしきい値電圧  $V_{th}$  が VRD7 より大きい ( $V_{th} > VRD7$ ) 場合、セル電流が流れないことにより、ノード SA は  $V_{cc}$  レベルに保持される。このとき、トランジスタ N15、N16、N17 がオンする。

【0146】そして、一定時間経過後、パルス状の信号である制御信号  $\phi_{LAT0}$ 、 $\phi_{LAT2}$ 、 $\phi_{LAT6}$  が順次ハイレベルに設定される。

【0147】制御信号  $\phi_{LAT0}$  がハイレベルに設定されると、トランジスタ N18 がオンし、このときトランジスタ N15 がオンしていることにより、ラッチ回路 LQ2 の反転記憶ノード/Q2 がローレベルに設定されて記憶ノード Q2 がローレベルからハイレベルに反転する。このとき、ラッチ回路 LQ2 の記憶ノード Q2 と接続されたトランジスタ N22、N32 のゲートがハイレベルになる。

【0148】制御信号  $\phi_{LAT2}$  がハイレベルに設定されると、トランジスタ N24 がオンし、このときトランジスタ N23、N22 およびトランジスタ N16 がオンしていることにより、ラッチ回路 LQ1 の反転記憶ノード/Q1 がローレベルに設定されて記憶ノード Q1 がローレベルからハイレベルに反転する。このとき、ラッチ回路 LQ1 の記憶ノード Q1 と接続されたトランジスタ N33 のゲートがハイレベルになる。

【0149】制御信号  $\phi_{LAT6}$  がハイレベルに設定されると、トランジスタ N34 がオンし、このときトランジスタ N33、N32 およびトランジスタ N17 がオンしていることにより、ラッチ回路 LQ0 の反転記憶ノード/Q0 がローレベルに設定されて記憶ノード Q0 がローレベルからハイレベルに反転する。

【0150】以上により、メモリセルトランジスタのしきい値電圧  $V_{th}$  が VRD7 より大きい ( $V_{th} > VRD7$ ) 場合、ラッチ回路 LQ2、LQ1、LQ0 のラッチデータが「111」に反転する。

【0151】一方、メモリセルトランジスタのしきい値電圧  $V_{th}$  が VRD7 より小さい ( $V_{th} < VRD7$ ) 場合、リーク補償電流より大きいセル電流が流れ、ノード SA の電圧が降下してトランジスタ HN1、HN3 がオンし、

10

20

30

40

50

35

ビット線BL0の容量CBLとノードSAの容量CSA (< CBL)との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧 ( $V_{cc}-V_{th}-V_{th}'$ ) とほぼ同程度のローレベル (例えば1V程度) となる。このため、制御信号 $\phi_{LAT0}$ ,  $\phi_{LAT2}$ ,  $\phi_{LAT6}$ によりトランジスタN18, N24, N34がオンしても、トランジスタN15, N16, N17のゲートがローレベル (例えば、1V) となっているため、トランジスタN15, N16, N17のそれぞれのドレインソース間が高抵抗な状態とされ、ラッチ回路LQ2~LQ0の記憶ノードQ2~Q0を反転させるのに必要な電流を流すことができず、結果としてリセットのままのローレベルな状態が保持される。

【0152】選択ワード線の電圧VWLがVRD7に設定された状態でのしきい値電圧 $V_{th}$ の判定が完了すると、再度、制御信号Vrefがローレベルに設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧Vccでの充電がなされる。ビット線BL0の充電が完了すると、制御信号Vrefが所定レベルの電圧 (例えば、2V) に設定される。

【0153】次に、選択ワード線の電圧VWLがVRD6に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされる。ここで、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD6より大きい ( $V_{th}>VRD6$ ) 場合、セル電流が流れないことにより、ノードSAはVccレベルに保持される。このとき、トランジスタN15, N16, N17がオンする。

【0154】そして、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT0}$ ,  $\phi_{LAT2}$ が順次ハイレベルに設定される。

【0155】制御信号 $\phi_{LAT0}$ がハイレベルに設定されると、トランジスタN18がオンし、このときトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ2の記憶ノードQ2と接続されたトランジスタN22のゲートがハイレベルになる。

【0156】制御信号 $\phi_{LAT2}$ がハイレベルに設定されると、トランジスタN24がオンし、このときトランジスタN23, N22およびトランジスタN16がオンしていることにより、ラッチ回路LQ1の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ1がローレベルからハイレベルに反転する。

【0157】以上により、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD6より大きい ( $V_{th}>VRD6$ ) 場合、ラッチ回路LQ2, LQ1, LQ0のラッチデータが「110」に反転する。

【0158】一方、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD6より小さい ( $V_{th}<VRD6$ ) 場合、リ

36

ーク補償電流より大きいセル電流が流れ、ノードSAの電圧が低下してトランジスタHN1, HN3がオンし、ビット線BL0の容量CBLとノードSAの容量CSA (< CBL)との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧 ( $V_{cc}-V_{th}-V_{th}'$ ) とほぼ同程度のローレベル (例えば、1V) となる。このため、制御信号 $\phi_{LAT0}$ ,  $\phi_{LAT2}$ によりトランジスタN18, N24がオンしても、トランジスタN15, N16のゲートがローレベル (例えば、1V) となっているため、トランジスタN15, N16のそれぞれのドレインソース間が高抵抗な状態とされ、ラッチ回路LQ2, LQ1の記憶ノードQ2, Q1を反転させるのに必要な電流を流すことができず、結果としてリセットのままのローレベルな状態が保持される。

【0159】選択ワード線の電圧VWLがVRD6に設定された状態でのしきい値電圧 $V_{th}$ の判定が完了すると、再度、制御信号Vrefがローレベルに設定されてトランジスタP1がオンされ、ビット線BL0に対して電源電圧Vccでの充電がなされる。ビット線BL0の充電が完了すると、制御信号Vrefが所定レベルの電圧 (例えば、2V) に設定される。

【0160】次に、選択ワード線の電圧VWLがVRD5に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされる。ここで、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD5より大きい ( $V_{th}>VRD5$ ) 場合、セル電流が流れないことにより、ノードSAはVccレベルに保持される。このとき、トランジスタN15, N16, N17がオンする。

【0161】ここで、ラッチデータに関しては、以下の場合が考えられる。

- 【0162】① $V_{th}>VRD7$  の場合：ラッチデータは「111」
- ② $VRD7 > V_{th}>VRD6$  の場合：ラッチデータは「110」
- ③ $VRD6 > V_{th}>VRD5$  の場合：ラッチデータは「000」

ここでは、③の場合のみ、ラッチ回路LQ2, LQ0のノードの反転が生じて、読み出しデータが「101」となるようにする必要があり、このとき、①の場合や②の場合に影響がないようにする必要がある。

【0163】すなわち、この場合、一定時間経過後、パルス状の信号である制御信号 $\phi_{LAT0}$ ,  $\phi_{LAT7}$ が順次ハイレベルに設定される。

【0164】制御信号 $\phi_{LAT0}$ がハイレベルに設定されると、トランジスタN18がオンし、このときトランジスタN15がオンしていることにより、ラッチ回路LQ2の反転記憶ノード/Q2がローレベルに設定されて記憶ノードQ2がローレベルからハイレベルに反転する。このとき、ラッチ回路LQ2の記憶ノードQ2と接続されたトランジスタN32のゲートがハイレベルにな

37

る。また、①、②の場合、元々、ラッチ回路LQ2の記憶ノードQ2はハイレベルに反転しているので、影響はない。

【0165】制御信号 $\phi$ LAT7がハイレベルに設定されると、トランジスタN36がオンし、このとき、③の場合には、トランジスタN35がオンしており、さらに、トランジスタN32およびトランジスタN17がオンしていることにより、ラッチ回路LQ0の反転記憶ノード/Q1がローレベルに設定されて記憶ノードQ0がローレベルからハイレベルに反転する。このとき、①及び②の場合には、トランジスタN35がオフしているため、ラッチデータに変化はない。

【0166】以上により、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD5より大きい( $V_{th} > VRD5$ )場合、ラッチ回路LQ2、LQ1、LQ0のラッチデータが「101」に反転する。

【0167】一方、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD5より小さい( $V_{th} < VRD5$ )場合、リーク補償電流より大きいセル電流が流れ、ノードSAの電圧が降下してトランジスタHN1、HN3がオンし、ビット線BL0の容量CBLとノードSAの容量CSA( $< CBL$ )との間で電荷の再分配が起こり、ノードSAの電圧がビット線BL0の電圧( $V_{cc} - V_{th} - V_{th}'$ )とほぼ同程度のローレベル(例えば、1V)となる。このため、制御信号 $\phi$ LAT0、 $\phi$ LAT7によりトランジスタN18、N36がオンしても、トランジスタN15、N17のゲートがローレベル(例えば、1V)となっているため、トランジスタN15、N17のそれぞれのドレインソース間が高抵抗な状態とされ、ラッチ回路LQ2、LQ0の記憶ノードQ2、Q0を反転させるのに必要な電流を流すことができず、結果としてリセットのままのローレベルな状態が保持される。

【0168】以下、同様にして、選択ワード線の電圧VWLがVRD4に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi$ LAT0がハイレベルに設定され、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD5 $>V_{th}>VRD4$ の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「100」に反転するように制御される。

【0169】選択ワード線の電圧VWLがVRD3に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi$ LAT4、 $\phi$ LAT8が順次ハイレベルに設定され、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD4 $>V_{th}>VRD3$ の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「011」に反転するように制御される。

【0170】選択ワード線の電圧VWLがVRD2に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされた場合、

38

一定時間経過後、パルス状の信号である制御信号 $\phi$ LAT4がハイレベルに設定され、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD3 $>V_{th}>VRD2$ の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「010」に反転するように制御される。

【0171】選択ワード線の電圧VWLがVRD1に設定された状態でのしきい値電圧 $V_{th}$ の判定がなされた場合、一定時間経過後、パルス状の信号である制御信号 $\phi$ LAT9がハイレベルに設定され、メモリセルトランジスタのしきい値電圧 $V_{th}$ がVRD2 $>V_{th}>VRD1$ の場合のみラッチ回路LQ2、LQ1、LQ0のラッチデータが「001」に反転するように制御される。

【0172】このようにして通常読み出し動作がなされ、通常読み出し動作完了時には、ラッチ回路LQ2～LQ0の記憶ノードQ2～Q0のそれぞれにメモリセルトランジスタのしきい値電圧 $V_{th}$ に応じた出力が保持される。つまり、しきい値電圧 $V_{th}$ が分布7の場合には(Q2, Q1, Q0) = (1, 1, 1)となり、しきい値電圧 $V_{th}$ が分布6の場合には(Q2, Q1, Q0) = (1, 1, 0)となり、しきい値電圧 $V_{th}$ が分布5の場合には(Q2, Q1, Q0) = (1, 0, 1)となり、しきい値電圧 $V_{th}$ が分布4の場合には(Q2, Q1, Q0) = (1, 0, 0)となり、しきい値電圧 $V_{th}$ が分布3の場合には(Q2, Q1, Q0) = (0, 1, 1)となり、しきい値電圧 $V_{th}$ が分布2の場合には(Q2, Q1, Q0) = (0, 1, 0)となり、しきい値電圧 $V_{th}$ が分布1の場合には(Q2, Q1, Q0) = (0, 0, 1)となり、しきい値電圧 $V_{th}$ が分布0の場合には(Q2, Q1, Q0) = (0, 0, 0)となる。そして、これらの反転出力が読み出しデータとして取り出される。

【0173】上述のように構成されたこの一実施形態によれば、書き込み動作時に、実効的なワード線電圧の印加時間を書き込みデータに応じて制御するようにすることにより、次のような利点を得ることができる。

【0174】すなわち、この一実施形態においては、多値並列書き込みを行う場合に、書き込みデータに応じて設定されるビット線電圧が、書き込みデータが「00x」(x:0または1)の場合、0V、書き込みデータが「01x」(x:0または1)の場合、1.2V、書き込みデータが「10x」(x:0または1)の場合、1.5V、書き込みデータが「110」の場合、1.5V、書き込みデータが「111」の場合、 $V_{cc}$ となっている(図2(b)参照)。これと共に、書き込みデータに応じて設定される実質的なワード線電圧の印加時間が、書き込みデータが「0xx」(x:0または1)の場合、20 $\mu$ s、書き込みデータが「10x」(x:0または1)の場合、10 $\mu$ s、書き込みデータが「110」の場合、2 $\mu$ s、書き込みデータが「111」の場合、0 $\mu$ sとなっている(図2(c)参照)。

【0175】この場合、書き込みデータが「110」お

39

よび「10x」(x:0または1)のメモリセルトランジスタにおいては、実効的なワード線電圧のパルス幅(実質的なデータの書き込み時間)が、実際にワード線にワード線電圧が印加されている時間より短くされている。したがって、これらの書き込みデータが「110」および「10x」(x:0または1)のメモリセルトランジスタにおいては、しきい値電圧のシフトが遅くなり、実質的にビット線電圧が実際の電圧より高い状態で書き込みを行うのと等価となる。

【0176】具体的には、書き込みデータに応じて設定されるビット線電圧および実質的なワード線電圧のパルス幅が、それぞれ、図2(b)および図2(c)のように設定されている場合、実質的なビット線電圧(換算ビット線電圧)は、全てのデータの書き込み時間を20 $\mu$ sとした場合に換算すると、図2(d)に示すようになり、理想的なビット線電圧と換算ビット線電圧との差は、図2(e)に示すようになる。

【0177】図2(e)より、この一実施形態においては、書き込みデータが「101」の場合に、理想的なビット線電圧と換算ビット線電圧との差が最大となり、そ

$$N_p = 1 + (\Delta V_{th0} + \delta V_{pp} + \delta V_{ch} + \delta V_{BL}) / \Delta V_{pp} \quad (1)$$

$$T_p = N_p \times (T_{pulse} + 7 \times T_{vfy}) \quad (2)$$

のように定義される。ここで、

$\Delta V_{th0}$  : 1回目の書き込みサイクル後の、書き込み速度の最も速いメモリセルと最も遅いメモリセルとのしきい値電圧の差

$\delta V_{pp}$  : 書き込み時の書き込み電圧VPGMのバラツキ(昇圧回路の変動)

$\delta V_{ch}$  : ビット線電圧の設定電圧のバラツキ

$\delta V_{BL}$  : 本来印加したいビット線電圧と実際に(または実質的に)印加されるビット線電圧との差の最大値

$\Delta V_{pp}$  : ISP Pを用いた場合のワード線電圧のステップ幅

$$N_p = 1 + |2.0 + 0.5 + 0.1 + (3.6 - 1.5)| / 0.15 \\ = 33 \text{ (回)}$$

$$T_p = 33 \times (20 + 7 \times 2) \\ = 1122 \text{ (}\mu\text{s)}$$

となる。

【0180】これに対して、本発明が適用されたこの一

$$N_p = 1 + (2.0 + 0.5 + 0.1 + 0.8) / 0.15 \\ = 24 \text{ (回)}$$

$$T_p = 24 \times (20 + 7 \times 2) \\ = 816 \text{ (}\mu\text{s)}$$

となる。

【0181】このように、この一実施形態によれば、書き込み回数が大幅に削減されるので、書き込み時間を短縮することができる。

【0182】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変

40

\*の値は0.8Vであることがわかる。この場合、書き込み開始時のワード線電圧は、この書き込みデータが「101」のメモリセルのうち書き込み速度が最も速いメモリセルが1回目の書き込みサイクルで丁度書き込みレベルに達するような電圧に設定すればよく、理想的な電圧より0.8Vだけ低い電圧に設定すればよい。これに対して、書き込みデータに応じて実質的なワード線電圧のパルス幅を制御するようなことを行わなかった場合(全てのデータの書き込み時間を同一(例えば20 $\mu$ s)に設定した場合)、理想的なビット線電圧と実際のビット線電圧との差は、書き込みデータが「110」の場合に最大となり、その値は2.1Vであった。したがって、この一実施形態によれば、理想的なビット線電圧と換算ビット線電圧との差の最大値が0.8Vまで低減されていることにより、書き込み開始時のワード線電圧を高い電圧に設定することが可能である。

【0178】ここで、全ての書き込みデータの書き込みが書き込み十分と判定されるまでの最大書き込み回数 $N_p$ および最大書き込み時間 $T_p$ は、8値型のNAND型フラッシュメモリの場合、

$$N_p = 1 + (\Delta V_{th0} + \delta V_{pp} + \delta V_{ch} + \delta V_{BL}) / \Delta V_{pp} \quad (1)$$

$$T_p = N_p \times (T_{pulse} + 7 \times T_{vfy}) \quad (2)$$

※ $T_{pulse}$  : 1回の書き込み時間(ワード線電圧のパルス幅)

$T_{vfy}$  : 1レベルのベリファイ時間である。

【0179】(1)、(2)式において、本発明が適用される以前の条件、例えば $\Delta V_{th0} = 2.0$  V,  $\delta V_{pp} = 0.5$  V,  $\delta V_{ch} = 0.1$  V,  $\delta V_{BL} = 3.6 - 1.5 = 2.1$  V,  $\Delta V_{pp} = 0.15$  V,  $T_{pulse} = 20$   $\mu$ s,  $T_{vfy} = 2$   $\mu$ sを代入して、ISP Pを用いた場合の最大書き込み回数 $N_p$ および最大書き込み時間 $T_p$ を求めると、

★実施形態の場合、 $\delta V_{BL} = 0.8$  Vとなり、最大書き込み回数 $N_p$ および最大書き込み時間 $T_p$ は、

形が可能である。例えば、上述の一実施形態において挙げた数値、具体的には、書き込みデータに応じて設定される実効的なワード線電圧のパルス幅の値やビット線電圧の値などは一例に過ぎず、これに限定されるものではない。

【0183】また、上述の一実施形態におけるメモリセルアレイ1、ビット線電圧発生回路2、読み出し/ベリ

41

ファイ制御回路3等の構成は一例に過ぎず、例示したものと異なる回路構成であってもよい。

【0184】また、上述の一実施形態においては、この発明を1個のメモリセルトランジスタに対して3ビットからなり8値をとるデータを記憶するNAND型フラッシュメモリに適用した場合について説明したが、この発明は、1個のメモリセルトランジスタに対して2ビットからなり4値をとるデータを記憶するNAND型フラッシュメモリに適用することも可能である。

【0185】

【発明の効果】以上、この発明による不揮発性半導体記憶装置およびそのデータ書き込み方法によれば、書き込み動作時に、ワード線にパルス状のワード線電圧を印加してメモリセルにデータの書き込みを行い、この際、書き込み対象のメモリセルに実質的にデータの書き込みがなされる時間に対応する実効的なワード線電圧のパルス幅を書き込みデータに応じて制御するようにしていることにより、書き込み開始時のワード線電圧を高く設定することができる。これにより、ビット線電圧を書き込みデータに応じて変えて多値並列書き込みを行う場合に、書き込み回数を削減することができ、トータルの書き込み時間を短縮することができる。

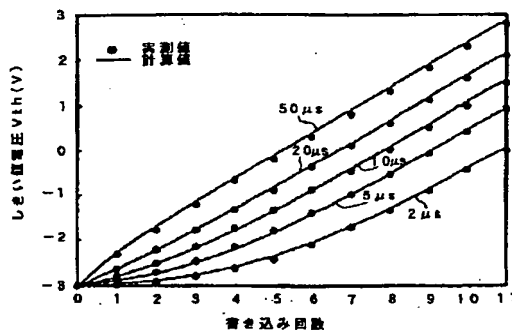
【図面の簡単な説明】

【図1】NAND型フラッシュメモリにおいてISPを用いて書き込みを行った場合の、メモリセルのしきい値電圧の変化のワード線電圧のパルス幅依存性を示すグラフである。

【図2】この発明の原理を説明するための略線図である。

【図3】この発明の一実施形態による8値型のNAND型フラッシュメモリの主要部の構成を示す回路図である。

【図1】



42

\* 【図4】この発明の一実施形態による8値型のNAND型フラッシュメモリのメモリセルアレイの等価回路図である。

【図5】この発明の一実施形態による8値型のNAND型フラッシュメモリの書き込み動作を説明するためのタイミングチャートである。

【図6】この発明の一実施形態による8値型のNAND型フラッシュメモリのペリファイ動作を説明するためのタイミングチャートである。

10 【図7】この発明の一実施形態による8値型のNAND型フラッシュメモリの通常読み出し動作を説明するためのタイミングチャートである。

【図8】1個のメモリセルトランジスタに3ビットからなり8値をとるデータを記憶する場合のデータ内容としきい値電圧との対応関係ならびに書き込み時の理想的なビット線電圧および実際のビット線電圧の印加例を説明するための略線図である。

【図9】セルフブーストを用いた書き込み動作を説明するための等価回路図である。

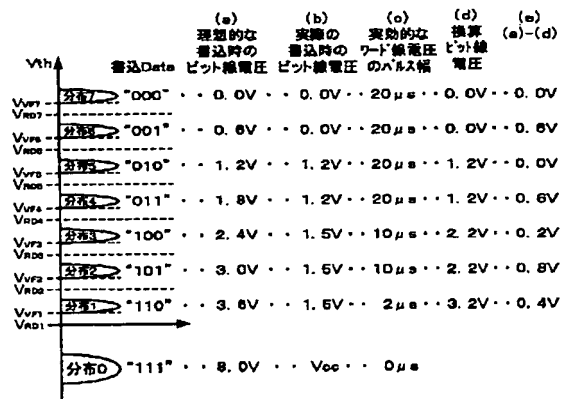
20 【図10】この発明が適用される以前の8値型のNAND型フラッシュメモリの主要部分の構成を示す回路図である。

【図11】この発明が適用される以前の8値型のNAND型フラッシュメモリの書き込み動作を説明するためのタイミングチャートである。

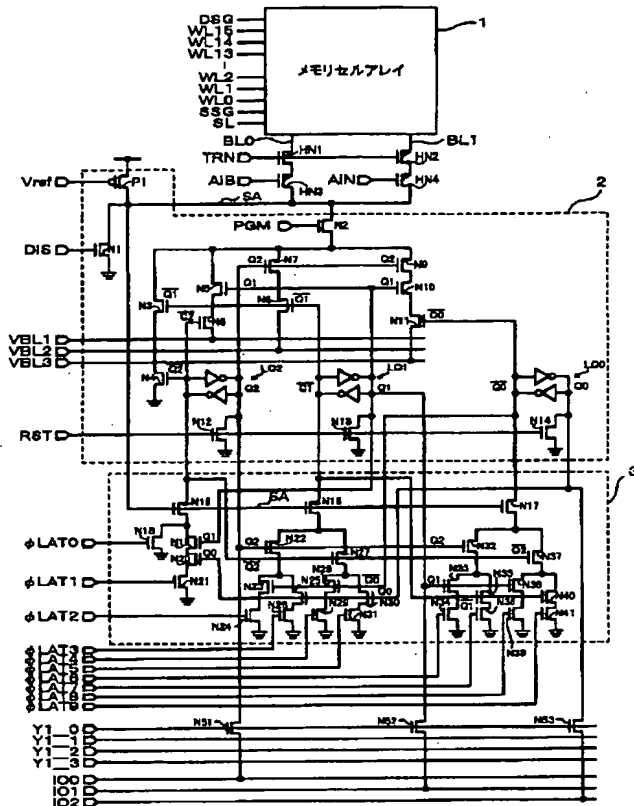
【符号の説明】

1・・・メモリセルアレイ、2・・・ビット線電圧発生回路、3・・・読み出し/ペリファイ制御回路、A0、A1・・・メモリストリング、WL0～WL15・・・ワード線、BL0、BL1・・・ビット線、LQ0～LQ2・・・ラッチ回路、VBL1～VBL3・・・ビット線電圧供給ライン

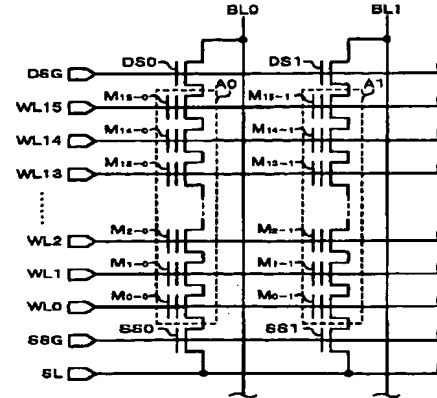
【図2】



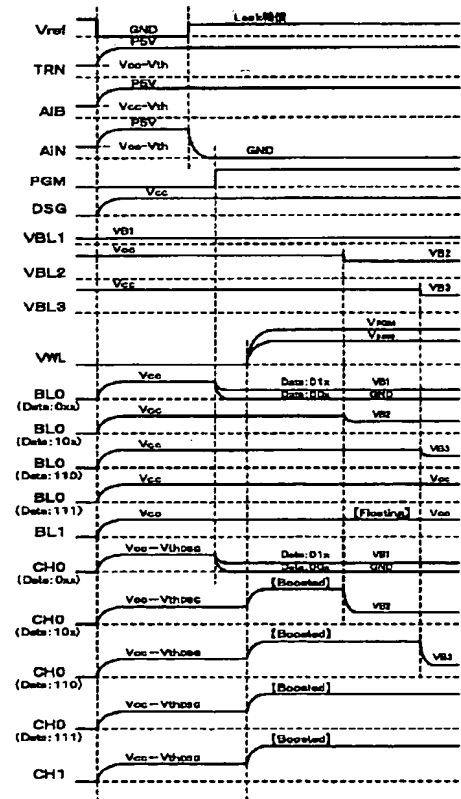
【図3】



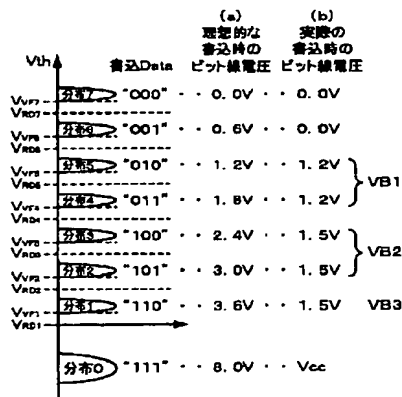
【図4】



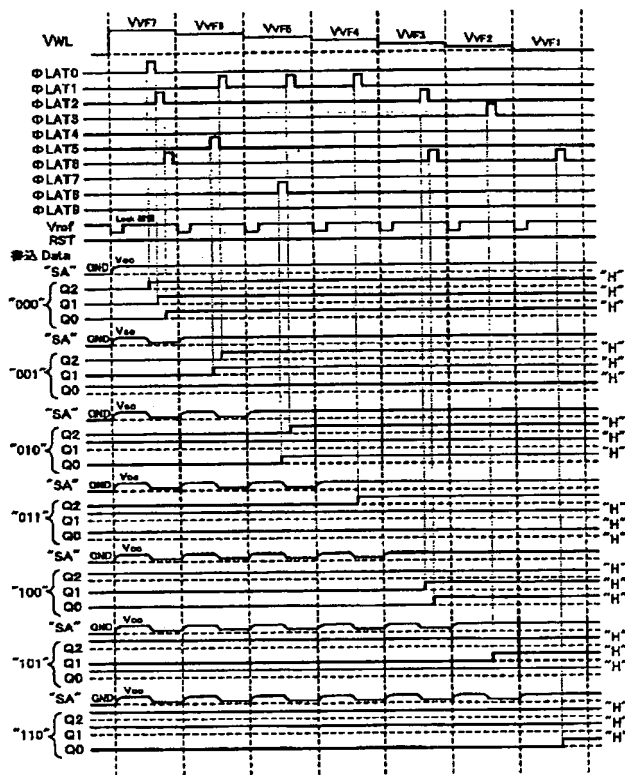
【図5】



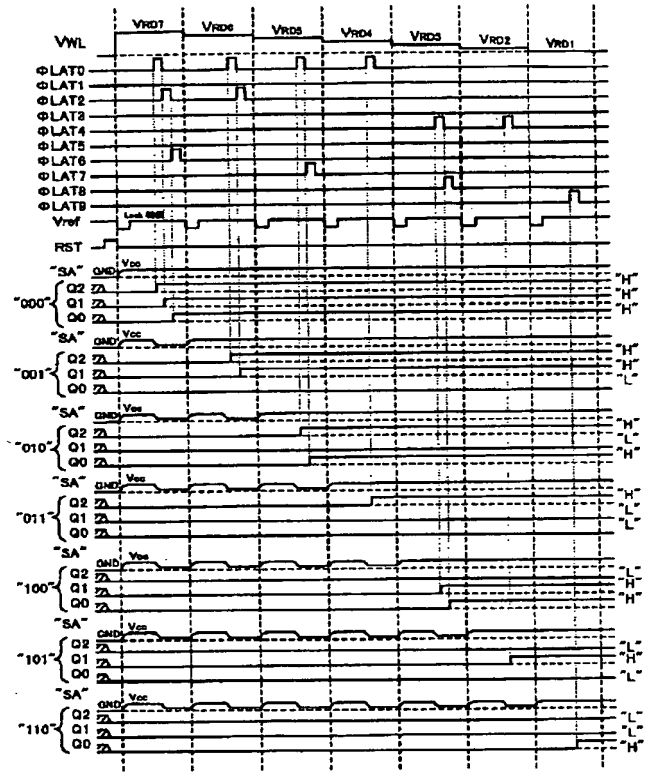
【図8】



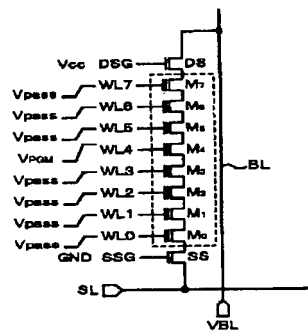
【図 6】



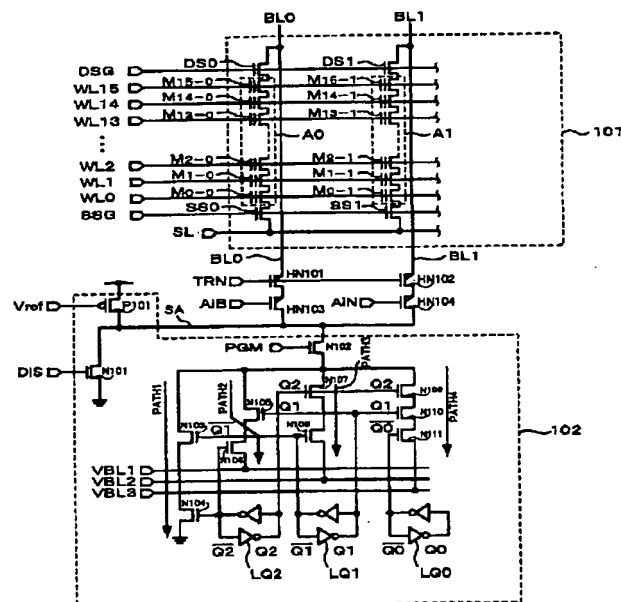
【図 7】



【図 9】

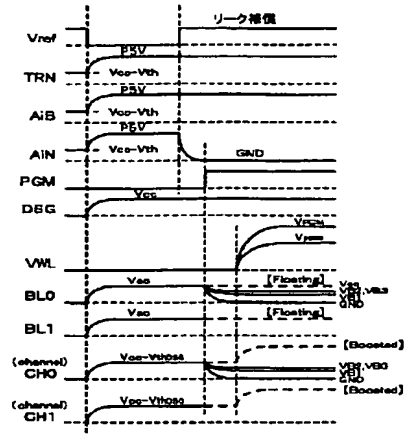


【図 10】





【図11】



**THIS PAGE BLANK (USPTO)**